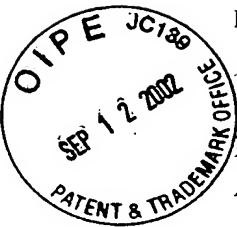


PATENT

Customer No. 31561
Attorney Docket No.: 7123-US-PA

2664



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Tien-Ju Tsai et al.
Application No. : 10/064,384
Filed : 2002/7/9
For : TRANSMISSION CONVERGENCE SUBLAYER CIRCUIT
AND OPERATING METHOD FOR ASYNCHRONOUS
RECEIVER

#2

Examiner

ASSISTANT COMMISSIONER FOR PATENTS
Washington, D.C. 20231

RECEIVED

SEP 16 2002

Technology Center 2800

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 90122431,
filed on: 2001/9/11.

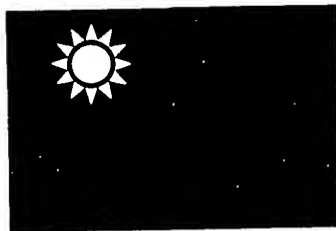
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: September 10, 2002

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



#2

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 09 月 11 日
Application Date

申請案號：090122431
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

RECEIVED
SEP 16 2002
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2002 年 2 月
Issue Date

發文字號：091110160
Serial No.

申請日期	
案 號	90122431
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	非同步傳輸用接收器之傳輸收斂層電路及其 操作方法
	英 文	
二、發明 創作人	姓 名	1 蔡典儒 2 林志馮
	國 籍	中華民國
	住、居所	1 彰化縣彰化市竹和路 191 巷 2 弄 11 號 2 新竹市中華路一段 384 巷 7 弄 2-1 號 3 樓
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區力行路十六號
	代 表 人 姓 名	胡定華

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要(發明之名稱： 非同步傳輸用接收器之傳輸收斂層電
路及其操作方法

發明背景：

一種非同步傳輸用接收器之傳輸收斂層電路及其操作方法，該電路耦接在緩衝器與解資料框器之間。解資料框器送一資料流致能信號與一位元組數據至此電路，此電路在資料流致能信號之致能下，利用一資料處理管路來接收並同時暫存任一資料胞中之數組位元組資料，並利用一標頭胞檢查器來同時接收該等位元組資料，俾搜尋標頭胞，且利用一閒置資料胞辨別器來確認該資料胞是否為非閒置資料胞後；當標頭胞被找到，且為一非閒置資料胞後，即利用一解混碼器，從該資料處理管路中，取得該資料胞之承載胞資料，且在取得足達一雙字元組資料的數據量後

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要（發明之名稱：

即進行解混碼，而能在一最少之等待時間，輸出一雙字元組的資料給緩衝器。此外，此電路並具有一標頭胞發生一個位元數據錯誤時的自動修正功能，俾使接收電路順利地繼續執行接收功能。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (1)

本發明是有關於一種非同步傳輸用接收器之電路及其操作方法，且特別是有關於一種非同步傳輸用接收器之傳輸收斂層電路及其操作方法。

在通訊系統中，資料由發射系統經由傳輸媒介送到接收系統，通常被傳送的資料是根據特定通信協定之數層單元所組成的，接收系統也就依循此特定通信協定以逐層來處理所接收的資料，在所有的通信協定中最低層單元是稱為實體層 (Physical Layer)，而在非同步傳輸模式 (Asynchronous Transfer Mode) 中又將實體層細分為兩個單元，分別是實體媒介層 (Physical Medium) 以及傳輸收斂層 (Transmission Convergence Sublayer)。

在非同步傳輸模式傳送端之傳輸收斂層所處理的資料格式如第 1 圖繪示資料胞的資料格式所示，其資料格式是由國際電信聯盟 ITU 針對寬頻數位整合網路 (B-ISDN) 所訂定的建議書 ITU-T I.432，其建議書中規定非同步傳輸模式的資料格式係由 53 個位元組 (Byte) 來構成一資料胞，其中前 5 個位元組稱為標頭胞 (Header)，此標頭胞包括 4 位元 (Bit) 之一般流量控制碼 (GFC)、8 位元之虛擬傳輸路徑辨識碼 (VPI)、16 位元之虛擬傳輸通道辨識碼 (VCI)、3 位元之資料胞類別碼 (PT)、1 位元之資料胞遺失等級碼 (CLP) 以及 8 位元之標頭錯誤控制碼 (HEC)，而資料胞的後 48 個位元組則稱為承載胞 (Payload)。

為了讓接收端可以檢測標頭胞資料的正確性，其利用循環冗餘碼檢查 (Cyclic Redundancy Check, CRC) 多項

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（2）

式 $X^8 + X^3 + X + 1$ 由標頭胞的前 32 個位元來產生 8 位元的標頭錯誤控制碼，如第 2A 圖繪示習知在發射端之標頭錯誤控制碼產生器產生標頭錯誤控制碼之方塊圖所示，如此之架構便可產生前述所需要的標頭錯誤控制碼。

上層單元依據非同步傳輸通信協定所產生的傳送資料，在傳送端傳輸收斂層將此資料經由混碼器(Scrambler)依據混碼多項式 $X^{43} + 1$ 混碼而成爲資料胞中的承載胞。

通常非同步傳輸模式是架構在具有固定頻寬的同步傳輸系統上，當上層單元無資料傳送時，傳輸收斂層必須產生一種具有特殊之標頭胞及承載胞的閒置資料胞(Idle Cell)，並將此閒置資料胞傳送至實體媒介層以達到傳輸速率的匹配。而在非同步傳輸模式之接收端的傳輸收斂層終端所必須要處理的工作是將接收到的資料流中，藉由標頭錯誤控制碼的比對以尋找出標頭胞，進而定位出完整的資料胞，以達到資料胞同步接收的目的。在達到同步的狀態下，持續地對後續所接收到的資料胞檢查其中的標頭胞資料的正確性，並對資料胞中的承載胞進行解混碼(Descramble)，如果標頭胞檢查無誤時，而且資料胞不是閒置資料胞，則將標頭胞中的標頭錯誤控制碼去除，並將資料胞重新組成字元組(Word)後，寫入緩衝器(Buffer)，將字元組的資料提供給上層單元做後續處理。

在非同步傳輸接收端的傳輸收斂層終端中針對資料胞的同步接收，以及同步後持續對所接收到之資料胞中的標頭胞檢查正確性的工作，如第 2B 圖繪示習知在接收端

五、發明說明 (3)

之非同步傳輸模式(Asynchronous Transfer Mode)的資料胞同步電路方塊圖所示。

在第 2B 圖中，模數 2(Modulo 2)加法器 202、D 型正反器 204 與循環冗餘碼檢測演繹操作電路 206 形成一長除法電路，被除數是資料胞中前 40 位元的數據，除數是多項式 $X^8 + X^2 + X + 1$ 。若計算的結果是正確時，則將計算的數值經由解碼器 208 解碼得到一資料胞同步脈衝(Cell Synchronizing Pulse)。若計算的結果是錯誤時，再由資料胞移入 8 位元的數據做除法運算，但是已經做除法運算的 40 位元的數據中最早之 8 位元的數據必須做補償修正，以消除此 8 位元的數據在下一次做除法運算的效應。模數 2 加法器 210、D 型正反器 214 與餘數演繹操作電路 212 的電路組合係爲了消除此 8 位元的數據在下一次做除法運算的效應。

在第 2B 圖所實現的功能是針對所接收到的資料流中，藉由標頭錯誤控制碼的比對來尋找出標頭胞，以達到資料胞同步接收的目的，並在同步後持續對所接收到的資料胞進行標頭錯誤控制碼的比對。

然而，對於資料胞中的承載胞要進行解混碼，以及將資料格式由位元組重整爲字元組或雙字元組(Double Words)後，其輸出至緩衝器以等待上層單元處理等工作，都必須增加後級電路來完成。如此，要完成資料的同步接收、檢查標頭胞、解混碼及資料格式的重整等工作，必須由第 2B 圖的電路與後級電路來完成，將使電路架構變得

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

很複雜，而且由第 2B 圖的電路與後級電路逐級處理所要完成的工作，將使得其處理時所花費的時間增長。

發明概要：

因此本發明係提供一種非同步傳輸用接收器之傳輸收斂層電路及其操作方法，其對於完成資料的同步接收、檢查標頭胞、解混碼及資料格式的重整等工作，有一最佳化之電路架構，並且能夠以最短的時間即完成對所接收資料之處理。

本發明係提供一種非同步傳輸用接收器之傳輸收斂層電路，用以在一來自解資料框之資料流致能信號之致能下，接收由此解資料框所送出之資料胞，且此資料胞由分屬一標頭胞與一承載胞之多數位元組所組成，此傳輸收斂層電路包括一資料處理管路、一標頭錯誤控制碼檢查器、一閒置資料胞辨別器、一資料胞同步狀態機器、一位元組指位器、一解混碼器與一緩衝器寫入控制器。資料處理管路用以依序接收並暫存資料胞之數個位元組資料。標頭錯誤控制碼檢查器用以接收這些位元組資料，並送出一代表標頭胞是否有出現之特徵碼。閒置資料胞辨別器用以判斷資料處理管路所接收的資料胞是否為一非閒置資料胞。資料胞同步狀態機器用以根據特徵碼之內容及次數，來判斷資料胞的傳輸狀態，並送出一代表目前狀態之狀態信號，且此狀態至少包含有一搜尋狀態與一完全同步狀態。位元組指位器用以送出一指標信號，此指標信號用以標示資料處理管路新接收之位元組在所屬資料胞中之序數，並作為

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

此新接收位元組經轉換為相應雙字元組後要被存入一緩衝器時的位址指標。解混碼器用以對資料處理管路所暫存的這些數個位元組資料進行解混碼，並將其結果送給緩衝器。以及，緩衝器寫入控制器用以在閒置資料胞辨別器與資料胞同步狀態機器的允許下，依據位元組指位器之指示，使經解混碼器解混碼後之資料寫入緩衝器。

本發明提出一種非同步傳輸用接收器之傳輸收斂層之操作方法，用以接收一由解資料框所送出之資料胞與一資料流致能信號，此資料胞由分屬一標頭胞與一承載胞之多數位元組所組成，此操作方法之步驟如下。首先，利用一資料處理管路來接收數個位元組資料，此資料處理管路可依序接收並暫存一特定數量位元組數。其次，利用一標頭錯誤控制碼檢查器，來同步接收這些位元組資料，並判斷是否正在接收一標頭胞，並送出一代表標頭胞是否有出現之特徵碼。接著，利用一資料胞同步狀態機器來根據特徵碼判斷接收狀態是否由一搜尋狀態進入一完全同步狀態。然後，利用一解混碼器，在進入完全同步狀態後，並列取入資料處理管路中足供解出一雙字元組的位元組資料，進行解混碼。以及，利用一位元組指位器，根據資料胞同步狀態機器所指出的狀態，輸出一指標信號，用以指出新接收位元組在所屬資料胞中之序數，與解混碼器所解出之資料所要儲存的位址。

因此，本發明對於完成資料的同步接收、檢查標頭胞、解混碼及資料格式的重整等工作，以最佳化來設計電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

路的架構。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示資料胞的資料格式；

第 2A 圖繪示習知在發射端之標頭錯誤控制碼產生器產生標頭錯誤控制碼之方塊圖；

第 2B 圖繪示習知在接收端之非對稱傳輸模式的資料胞同步電路方塊圖；

第 3 圖繪示緩衝器、傳輸收斂層與解資料框器的方塊圖；

第 4 圖繪示本發明之非同步傳輸用接收器之傳輸收斂層的系統方塊圖；

第 5A 圖繪示本發明之資料胞同步狀態機器的狀態圖；

第 5B 圖繪示本發明之資料胞同步狀態機器之一較佳實施例的方塊圖；

第 6 圖繪示本發明之資料胞計數器之一較佳實施例的電路圖；

第 7A 圖繪示資料胞之位元組重新編址及指標信號的狀態圖；

第 7B 圖繪示本發明之位元組指位器之一較佳實施例的方塊圖；

五、發明說明（ 7 ）

第 8A 圖繪示本發明之標頭錯誤控制碼檢查器之一較佳實施例的方塊圖；

第 8B 圖繪示餘數補償單元之一較佳實施例的電路圖；

第 8C 圖繪示商數回授單元之一較佳實施例的電路圖；

第 8D 圖繪示本發明之標頭錯誤控制碼檢查器之另一較佳實施例的電路圖；

第 8E 圖繪示本發明之標頭錯誤控制碼檢查器之又另一較佳實施例的方塊圖；

第 9 圖繪示本發明之資料處理管路之一較佳實施例的電路圖；

第 10 圖繪示本發明之解混碼器之一較佳實施例的電路圖；

第 11A 圖繪示閒置資料胞的資料格式

第 11B 圖繪示本發明之閒置資料胞辨別器之一較佳實施例的電路圖；

第 12 圖繪示本發明之緩衝器寫入控制器之一較佳實施例的電路圖；

第 13 圖繪示本發明另一種非同步傳輸模式傳輸收斂層電路的系統方塊圖；

第 14 圖繪示一供修正一位元錯誤之修正碼對照表；
以及

第 15 圖繪示本發明之一連接標頭位元錯誤修正器之

五、發明說明(8)

解混碼器之一較佳實施例的電路圖。

標號說明：

202, 210, 814, 816, 816' : 模數 2 加法器 (Modulo 2 Adder)

204, 214, 704, 806, 806', 902, 904, 906, 908, 910, 912, 914, 916, 918, 934, 1112 : D 型正反器 (D-Type Flip Flop)

206 : 循環冗餘碼檢測演繹操作電路 (Cyclic Redundancy Checker Arithmetic Operation Circuit)

208, 506, 712 : 解碼器 (Decoder)

212 : 餘數餘碼檢測演繹操作電路 (Remainder Arithmetic Operation Circuit)

302, 1300 : 非同步傳輸模式傳輸收斂層 (Asynchronous Transfer Mode Transmission Convergence Sublayer)

304 : 緩衝器 (Buffer)

306 : 解資料框器 (Deframer)

402 : 資料胞同步狀態機器 (Cell Delineation State Machine)

404 : 位元組指位器 (Byte Pointer)

406 : 資料胞計數器 (Cell Counter)

408 : 資料處理管路 (Byte-Wise Data Pipeline)

410, 410', 410'' : 標頭錯誤控制碼檢查器 (Header Cyclic Redundancy Checker)

412, 1502 : 解混碼器 (Descrambler)

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

414：閒置資料胞辨別器(Idle Cell Identifier)

416：緩衝器寫入控制器(Write-in Buffer Controller)

602，706，920，930，932，1108，1110，1204，1206，

1208：及閘(AND Gate)

604：反或閘(NOR Gate)

606，710：計數器(Counter)

608，714，817，1002，1504：多工器(Multiplexer)

610：比較器(Comparator)

702，708，815，922，928，1104，1106，1202：或
閘(OR Gate)

818，820，822，824，891~894：反相器(Inverter)

810：商數回授單元(Quotient Feedback Unit)

812：餘數補償單元(Remainder Compensation Unit)

831~838，841~848，856~890，1004，1102：互斥或
閘(XOR Gate)

1304：標頭位元錯誤修正器(Header Bit Error
Corrector)

第一實施例

第 3 圖繪示緩衝器、傳輸收斂層與解資料框器的方塊圖。在第 3 圖中，非同步傳輸模式傳輸收斂層 302 耦接在緩衝器 304(本實施例係以先進先出模式做資料的存取)與解資料框器 306 之間，非同步傳輸模式傳輸收斂層 302、緩衝器 304 與解資料框器 306 皆接收一同步時脈以同步工作，解資料框器 306 送出位元組的資料流 AtmRx_Data 以

五、發明說明(10)

及資料流致能信號 AtmRx_Hit 至非同步傳輸模式傳輸收斂層 302。非同步傳輸模式傳輸收斂層 302 接收由解資料框器 306 所送出的資料流 AtmRx_Data，藉由標頭錯誤控制碼的比對來尋找出標頭胞，進而執行資料胞同步接收的工作。當資料胞的接收同步時，持續對所接收的資料胞進行標頭胞之標頭錯誤控碼的比對，以及對資料胞中的承載資料胞進行解混碼。如果此資料胞經辨識後為非閒置資料胞時，將去除資料胞中的標頭錯誤控制碼，並將位元組的格式轉換成多重字元組的格式(本實施例是以 32 位元，即雙字元組為例)。依據對應於多重位元組數據的 4 位元指標位址 RxBuf_WrPtr 與緩衝器 304 所送出的寫入許可信號 RxBuf_WrReq，將轉換成多重字元組格式的資料胞藉由資料流 RxBuf_WrData 寫入緩衝器 304。當送出資料胞最後一筆多重位元組(即第 12 筆)時，非同步傳輸模式傳輸收斂層 302 會送出提示信號 RxBuf_WrLoc 至緩衝器 304，以做為寫入資料胞指位器(未繪示)累加之用。然而，非同步傳輸模式傳輸收斂層 302 欲將非閒置資料胞寫入緩衝器 304 之時，非同步傳輸模式傳輸收斂層 302 未收到緩衝器 304 所送出的寫入許可信號 RxBuf_WrReq，則非同步傳輸模式傳輸收斂層 302 送出溢位提示信號 RxBuf_Ovf 至上層單元(未繪示)，並終止資料胞寫入緩衝器 304 的動作。

第 4 圖繪示本發明之非同步傳輸用接收器之傳輸收斂層的系統方塊圖。如第 4 圖所示，非同步傳輸模式傳輸收斂層 302 中的資料胞同步狀態機器 402 接收解資料框器

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(\\)

(未繪示)所送出的資料流致能信號 AtmRx_Hit、資料胞計數器 406 所送出的計數信號、標頭錯誤控制碼檢查器 410 所送出的特徵碼以及位元組指位器 404 所送出的指標信號，此資料流致能信號 AtmRx_Hit 是控制資料胞同步狀態機器 402 的工作，資料胞同步狀態機器 402 根據計數信號、特徵碼與指標信號來判斷是否要改變目前的狀態，並送出對應其狀態的數個狀態信號。

第 5A 圖繪示本發明之資料同步述狀態機器的狀態圖。如第 5A 圖所示，資料胞同步狀態機器 402 有數個狀態，以決定非同步傳輸模式傳輸收斂層 302 目前所要執行的工作：

標頭找尋狀態：非同步傳輸模式傳輸收斂層 302 接收由解資料框器(未繪示)所送出之連續的資料胞，標頭錯誤控制碼檢查器 410 計算資料胞中之標頭胞，以得到 8 位元的特徵碼。當資料胞同步狀態機器 402 判斷特徵碼不為 0x00 時，則資料胞同步狀態機器 402 保持原狀態，當資料胞同步狀態機器 402 判斷特徵碼為 0x00 時，則資料胞同步狀態機器 402 進入預備同步狀態。

預備同步狀態：非同步傳輸模式傳輸收斂層 302 持續地接收由解資料框器(未繪示)所送出之連續的資料胞，標頭錯誤控制碼檢查器 410 繼續計算標頭胞以得到特徵碼。若在接收連續之資料胞的其中，當資料胞同步狀態機器 402 判斷特徵碼不為 0x00 時，則非同步傳輸模式傳輸收斂層 302 回到標頭找尋狀態；當資料胞同步狀態機器 402

五、發明說明(12)

判斷特徵碼為 0x00 時，則非同步傳輸模式傳輸收斂層 302 保持原狀態，並累加在預備同步狀態的計數值，當在接收連續之資料胞中所累加之此計數值達到一 DELTA 值時，則非同步傳輸模式傳輸收斂層 302 進入完全同步狀態。

完全同步狀態：非同步傳輸模式傳輸收斂層 302 持續地接收由解資料框器(未繪示)所送出之連續的資料胞，標頭錯誤控制碼檢查器 410 繼續計算標頭胞以得到特徵碼。當特徵碼為 0x00 時，則資料胞同步狀態機器 402 保持原狀態，藉由位元組指位器 404 與資料處理管路 408 將標頭胞中的標頭錯誤控制碼去除，並由解混碼器 412 對資料胞中的承載資料胞進行解混碼，而將字元組資料格式的資料轉換成雙字元組資料格式的資料，並將轉換成雙字元組資料格式的資料送至緩衝器(未繪示)。在持續地接收連續之資料胞的當中，當計算標頭胞所得到的特徵碼不為 0x00 時，則資料胞同步狀態機器 402 進入保留同步狀態。

保留同步狀態：非同步傳輸模式傳輸收斂層 302 持續地接收由解資料框器(未繪示)所送出之連續的資料胞，標頭錯誤控制碼檢查器 410 繼續計算標頭胞以得到特徵碼。當特徵碼為 0x00 時，則非同步傳輸模式傳輸收斂層 302 回到完全同步狀態；當特徵碼不為 0x00 時，則非同步傳輸模式傳輸收斂層 302 保持原狀態，並累加在保留同步狀態的計數值，當在此狀態下，所接收資料胞之特徵碼非為特定碼之資料胞所累加之此計數值達到一(Alpha-1)值時，則非同步傳輸模式傳輸收斂層 302 進入標頭找尋狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

第 5B 圖繪示本發明之資料胞同步狀態機器之一較佳實施例的方塊圖。在第 5B 圖中，資料胞同步狀態機器 402 中的次一狀態估算機器 502，在不同的狀態下，根據 D 型正反器 504 所輸出的目前狀態碼 C_State、資料胞計數器 406(參考第 4 圖)所送出的計數信號 Cnt_Max、標頭錯誤控制碼檢查器 410(參考第 4 圖)所送出的特徵碼 Syndrome 與位元組指位器 404(參考第 4 圖)所送出的指標信號 Ptr_03，來估算出次一狀態碼 N_State。例如第 5A 圖所示，假設目前狀態是預備同步狀態，其狀態碼為 0x02，當指標信號 Ptr_03 為 '1'(即高準位)，且連續所接收之資料胞中的標頭胞，其經計算所得到之特徵碼為 0x00，已累增至 DELTA 次，即資料胞計數器 406 送出計數信號 Cnt_Max 為 '1'，則次一狀態碼 N_State 為 0x04(即完全同步狀態)。

解資料框器 306(參考第 3 圖)送出資料流致能信號 AtmRx_Hit 使 D 型正反器 504 致能(Enable)，在同步時脈的週期中，從 D 型正反器 504 的輸入端 D 所接收之次一狀態碼 N_State 做為輸出端 Q 所輸出的目前狀態碼 C_State。

解碼器 506 將 D 型正反器 504 所輸出的目前狀態碼 C_State 與次一狀態估算機器 502 所輸出的次一狀態碼 N_State 分別解碼成數個目前狀態信號(如第 5B 圖所示之 CS_Hunting、CS_Presync、CS_Corsync 與 CS_Detsync)與數個次一狀態信號(如第 5B 圖所示之 NS_Hunting、NS_Presync、NS_Corsync 與 NS_Detsync)。如上所述，目

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(14)

前狀態為預備同步狀態，次一狀態為完全同步狀態，則目前狀態信號 CS_Presync 與次一狀態信號 NS_Corsync 為'1'，其餘的信號為'0'(即低準位)。

在第 4 圖中，資料胞計數器 406 耦接至資料胞同步狀態機器 402 與位元組指位器 404，解資料框器 306(參考第 3 圖)送資料流致能信號 AtmRx_Hit 使資料胞計數器 406 致能。資料胞計數器 406 接收位元組指位器 404 所輸出的指標信號 Ptr_03 及資料胞同步狀態機器 402 所輸出的狀態信號 CS_Hunting 與 CS_Corsync，並根據狀態信號 CS_Presync 來判斷所累加的計數值是否達到 DELTA 值或 ALPHA-1 值，達到其數值後送出計數信號 Cnt_Max 至資料胞同步狀態機器 402。

第 6 圖繪示本發明之資料胞計數器之一較佳實施例的電路圖。在第 6 圖中，在資料胞計數器 406 中的及閘 602 之第一輸入端接收位元組指位器 404(參考第 4 圖)所輸出的指標信號 Ptr_03，及閘 602 之第二輸入端接收解資料框器 306(參考第 3 圖)所送的資料流致能信號 AtmRx_Hit，而及閘 602 之輸出端輸出一及閘信號至計數器 606 的 ENA 端。反或閘 604 之第一輸入端接收資料胞同步狀態機器 402(參考第 4 圖)的信號 CS_Hunting，反或閘 604 之第二輸入端接收資料胞同步狀態機器 402(參考第 4 圖)的信號 CS_Corsync，而反或閘 604 之輸出端輸出一反或閘信號至計數器 606 的 CLRN 端。當資料胞同步狀態機器 402(參考第 4 圖)是在標頭找尋狀態或在完全同步狀態時，則反或

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(15)

閘 604 使計數器 606 停止計數的工作。

在資料胞計數器 406 中的計數器 606，當 CLK 端在一個同步時脈的週期中，若 ENA 端接收及閘 602 所輸出的及閘信號為 '1' 時，則在輸出端 Q 所輸出的 4 位元之計數值 Cell_Cnt 會自動增加 1；若 CLRN 端接收到反或閘 604 所輸出的反或閘信號，則在輸出端 Q 所輸出的 4 位元之計數值 Cell_Cnt 會被清除為 0。

在資料胞計數器 406 中的多工器 608 之第一輸入端接收一 DELTA 值，多工器 608 之第二輸入端接收一 (ALPHA-1) 值，而多工器 608 之選擇端接收資料胞同步狀態機器 402 (參考第 4 圖) 所送出的狀態信號 CS_Presync 來決定輸出端是輸出 DELTA 值 (即狀態信號 CS_Presync 為 '1') 或是 (ALPHA-1) 值 (即狀態信號 CS_Presync 為 '0')。

在資料胞計數器 406 中的比較器 610 之第一輸入端接收計數值 Cell_Cnt，比較器 610 之第二輸入端接收 DELTA 值或 (ALPHA-1) 值。當計數值 Cell_Cnt 等於 DELTA 值或 (ALPHA-1) 值的其中一個時，則比較器 610 之輸出端輸出計數信號 Cnt_Max 至資料胞同步狀態機器 402 (參考第 4 圖)。

在第 4 圖中，位元組指位器 404 耦接至資料胞同步狀態機器 402，可接收解資料框器 306 (參考第 3 圖) 所送出的資料流致能信號 AtmRx_Hit，其使控制位元組指位器 404 致能，位元組指位器 404 計數出之計數值為資料胞中目前之位元組的位址。如第 7A 圖繪示資料胞之位元組重新編

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

址及指標信號的狀態圖所示，一個完整的資料胞是有 53 個位元組，其位元組索引的編號是由 0~52，而位元組指位的編號是由 0~51，其中位元組索引的編號 4 與 5 在位元組指位的編號中被同化。藉此，除了可以表達出目前最新輸入資料處理管路 408 中之位元組在其所屬資料胞中之序數外，並可以直接取用位元組指位器 404 所輸出之指標信號中的最高四位元，來作為一對緩衝器 304 指出每一筆雙字元組資料在該資料胞中之序號，進而指示該筆雙字元組資料之位址。此進一步說明如下。

亦即，藉由重複第 4 與第 5 位元組之指標指位，將只剩下第 0 至第 51 這 52 個指位，進而將只需要利用 6 個位元即可表達這 52 個位元組。如此一來，當接收完實際之第 8 個位元組時，亦即第一筆雙位元組資料時，指標信號將指位於第 7 筆，亦即 000111，取最高四位元時，即得到一 0001 之指位，亦即代表第一筆雙字元組資料之位址指標。又，之所以可以這樣作係因為標頭錯誤控制碼是為了解查資料胞在傳輸過程中是否有資料傳輸錯誤而增加的檢查碼，而非實際應用的資料，所以在實際應用上可以將之去掉，而不影響實際資料之接收。

第 7B 圖繪示本發明之位元組指位器之一較佳實施例的方塊圖。在 7B 圖中，位元組指位器 404 中的或閘 702 之輸入端接收資料胞同步狀態機器 402(參考第 4 圖)所送出的次一標頭找尋狀態信號 NS_Hunting，或閘 702 之反相輸入端接收解碼器 712 所輸出的指標信號 Ptr_03，或閘 702

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

之輸出端輸出信號 OR1。

在位元組指位器 404 中的 D 型正反器 704 之輸入端 D 接收信號 OR1，CLK 端在所接收的同步時脈中，ENA 端接收資料胞致能信號 AtmRx_Hit，可使 D 型正反器 704 致能，而在輸出端輸出一罩幕信號 Mask。

在位元組指位器 404 中的多工器 714 之 0 輸入端接收數值 0x00，1 輸入端接收數值 0x03，該選擇端接收資料胞同步狀態機器 402(參考第 4 圖)所送出的次一標頭找尋狀態信號 NS_Hunting，當次一標頭找尋狀態信號 NS_Hunting 為 '0' 時，則輸出端輸出的多工信號 MUX 為 0x00；當次一標頭找尋狀態信號 NS_Hunting 為 '1' 時，則輸出端輸出的多工信號 MUX 為 0x03。

在位元組指位器 404 中的或閘 708 之第一輸入端接收次一標頭找尋狀態信號 NS_Hunting，第二輸入端接收解碼器 712 所輸出的指標信號 Ptr_Max，而在輸出端輸出一或閘信號 OR2。及閘 706 的第一輸入端接收資料流致能信號 AtmRx_Hit，第二輸入端接收 D 型正反器 704 所輸出的罩幕信號 Mask，而在輸出端輸出一及閘信號 AND 至計數器 710 之 ENA 端。

在位元組指位器 404 中的計數器 710 之輸入端 D 接收多工器 714 所送出之 6 位元的多工信號 MUX，計數器 710 之 LOAD 端接收或閘 708 所送出的或閘信號 OR2，計數器 710 之 CLK 端接收同步時脈，計數器 710 之 ENA 端接收及閘 706 所送出的及閘信號 AND，在計數器 710 之輸出端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

Q 所輸出的 6 位元之計數值 Byte_Ptr。CLK 端在一個同步時脈的週期中，當及閘信號 OR2 為 '0'，且及閘信號 AND 為 '1' 時，則計數值 Byte_Ptr 加 1 後由輸出端 Q 輸出；當及閘信號 OR2 為 '1'，且及閘信號 AND 為 '1' 時，則由輸出端 Q 輸出多工信號 MUX。其中，此計數值 Byte_Ptr 的最高有效之 4 個位元的數據做為 PtrBuf_WrPtr，其送至緩衝器 304(參考第 3 圖)以做為資料胞的位址之用。

在位元組指位器 404 中的解碼器 712 接收指位值 Byte_Ptr 之後，將指位值 Byte_Ptr 解碼成數個指標信號，以供傳輸收斂層中各模組邏輯判斷之用，這些指標信號的狀態如第 7A 圖所示。

在第 4 圖中，標頭錯誤控制碼檢查器 410 耦接至資料胞同步狀態機器 402，可接收連續之資料胞中的標頭胞(如第 1 圖所示)，多項式 $X^8 + X^2 + X + 1$ 來計算標頭胞的 5 位元組的數據，如此可以得到一特徵碼，由此特徵碼是否為 0x00 來得知在資料傳輸中所接收的資料胞中的標頭胞是否正確。

第 8A 圖繪示本發明之標頭錯誤控制碼檢查器之一較佳實施例的方塊圖。在第 8A 圖中，標頭循環冗餘碼檢查器 410 的餘數補償單元 812 接收資料處理管路 408(參考第 4 圖)所送出的位元組 Pipe5，餘數補償單元 812 將位元組 Pipe5 的數據做互斥或運算，以得到一餘數補償數據。如此一來，由於利用資料處理管路 408 來暫存位元組，將可省略習知如第 2B 圖所示之正反器暫存器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

在標頭錯誤控制碼檢查器 410 的模數 2 加法器 814 將解資料框器 306(參考第 3 圖)所送出的資料流 AtmRx_Data 中之標頭胞中位元組的數據與餘數補償數據做模數 2 的加法運算，以得到一位元組數據 ADD1。模數 2 加法器 816 將位元組數據 ADD1 與商數回授單元 810 所送出的商數回授數據做模數 2 的加法運算，以得到一位元組數據 ADD2。

D 型正反器 806 的時脈端 CLK 接收同步時脈，D 型正反器 806 的致能端 ENA 接收解資料框器 306(參考第 3 圖)所送出的資料流致能信號 AtmRx_Hit，以使 D 型正反器 806 致能，輸入端 D 的輸出端 Q 在同步時脈的一個週期中輸出正反器數據 FF_Output。

在標頭錯誤控制碼檢查器 410 的商數回授單元 810 將 D 型正反器 806 所送出的正反器數據 FF_Output 做互斥或運算，以得到商數回授數據。反相器 818、反相器 820、反相器 822 與反相器 824 將 D 型正反器 806 所送出之正反器數據 FF_Output 的第六位元、第四位元、第二位元與第零位元做反相運算，且經反相運算的部分位元與正反器數據 FF_Output 未經反相運算的部分位元(如第七位元、第五位元、第三位元與第一位元)組成一特徵碼 Syndrome。

在第 1 圖中，接收系統為了確認所接收的資料胞是否正確，在 5 位元組的標頭胞中加入 8 位元的標頭錯誤控制碼，而標頭胞的位元組數據由第 8A 圖所繪示之方塊圖中之商數回授單元 810 以多項式 $X^8 + X^2 + X + 1$ 做除法運算，以得到一商數回授數據，此商數回授數據與資料流

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (20)

AtmRx_Data 及餘數補償數據經由模數 2 加法器 814、816 做模數 2 的加法運算與反相器 818、820、822、824 做反相運算以得到特徵碼 Syndrome，此部分與習知類似，即不再詳述。當在連續所接收的資料胞中計算標頭胞所得到的特徵碼 Syndrome 為 0x00 時，表示找到連續正確的標頭胞，則準備進行資料胞同步接收等工作；反之，則繼續檢查出連續正確的標頭胞。

在第 8A 圖中，資料胞中標頭胞與承載胞都會序列送入第 8A 圖的電路，只有標頭胞計算出的特徵碼 Syndrome 才有意義，至於承載胞之資料則會由餘數補償單元 812 取自資料處理管路 408 之資料 Pipe5，來修正。

第 8B 圖繪示餘數補償單元之一較佳實施例的電路圖。在第 8B 圖中，餘數補償單元 812 中的互斥或閘 831 之第一輸入端接收位元組數據 Pipe5 的第 7 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 6 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 2 位元之數據，第四輸入端接收位元組數據 Pipe5 的第 1 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 7 位元之數據。

互斥或閘 832 的第一輸入端接收位元組數據 Pipe5 的第 6 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 5 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 1 位元之數據，第四輸入端接收位元組數據 Pipe5 的第 0 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

作為餘數補償數據的第 6 位元之數據。

互斥或閘 833 的第一輸入端接收位元組數據 Pipe5 的第 5 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 4 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 0 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 5 位元之數據。

互斥或閘 834 的第一輸入端接收位元組數據 Pipe5 的第 7 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 4 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 3 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 4 位元之數據。

互斥或閘 835 的第一輸入端接收位元組數據 Pipe5 的第 6 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 3 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 2 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 3 位元之數據。

互斥或閘 836 的第一輸入端接收位元組數據 Pipe5 的第 7 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 5 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 2 位元之數據，第四輸入端接收位元組數據 Pipe5 的第 1 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 2 位元之數據。

互斥或閘 837 的第一輸入端接收位元組數據 Pipe5 的第 7 位元之數據，第二輸入端接收位元組數據 Pipe5 的第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

4 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 2 位元之數據，第四輸入端接收位元組數據 Pipe5 的第 0 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 1 位元之數據。

互斥或閘 838 的第一輸入端接收位元組數據 Pipe5 的第 7 位元之數據，第二輸入端接收位元組數據 Pipe5 的第 3 位元之數據，第三輸入端接收位元組數據 Pipe5 的第 2 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為餘數補償數據的第 0 位元之數據。

第 8C 圖繪示商數回授單元之一較佳實施例的電路圖。在第 8C 圖中，商數回授單元 810 中的互斥或閘 841 的第一輸入端接收正反器數據 FF_Output 的第 7 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 6 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 5 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 7 位元之數據。

互斥或閘 842 的第一輸入端接收正反器數據 FF_Output 的第 6 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 5 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 4 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 6 位元之數據。

互斥或閘 843 的第一輸入端接收正反器數據 FF_Output 的第 5 位元之數據，第二輸入端接收正反器數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

據 FF_Output 的第 4 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 3 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 5 位元之數據。

互斥或閘 844 的第一輸入端接收正反器數據 FF_Output 的第 4 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 3 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 2 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 4 位元之數據。

互斥或閘 845 的第一輸入端接收正反器數據 FF_Output 的第 7 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 3 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 2 位元之數據，第四輸入端接收位元組 FF_Output 的第 1 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 3 位元之數據。

互斥或閘 846 的第一輸入端接收正反器數據 FF_Output 的第 6 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 2 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 1 位元之數據，第四輸入端接收正反器數據 FF_Output 的第 0 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 2 位元之數據。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

互斥或閘 847 的第一輸入端接收正反器數據 FF_Output 的第 6 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 1 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 0 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 1 位元之數據。

互斥或閘 848 的第一輸入端接收正反器數據 FF_Output 的第 7 位元之數據，第二輸入端接收正反器數據 FF_Output 的第 6 位元之數據，第三輸入端接收正反器數據 FF_Output 的第 0 位元之數據，而經互斥或運算所得到的數據由輸出端輸出以作為商數回授數據的第 0 位元之數據。

第 8D 圖繪示本發明之標頭錯誤控制碼檢查器之另一較佳實施例的電路圖。在第 8D 圖中，標頭錯誤控制碼檢查器 410' 中之互斥或閘 856 的第一輸入端接收資料處理管路 408(第 8D 圖之說明皆參考第 4 圖)所送出的位元組 Pipe4 之第 7 位元的數據，第二輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 1 位元的數據，而輸出端輸出一第一互斥或閘信號。

互斥或閘 857 的第一輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 6 位元的數據，第二輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 7 位元的數據，第三輸入端接收資料處理管路 408 所送出的位元組之 Pipe4 第 0 位元的數據，而輸出端輸出一第二互斥或閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (75)

信號。

互斥或閘 858 的第一輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 5 位元的數據，第二輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 6 位元的數據，第三輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 7 位元的數據，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 7 位元的數據，而輸出端輸出一第三互斥或閘信號。

互斥或閘 859 的第一輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 4 位元的數據，第二輸入端接收資料處理管路 408 所送出的位元組之 Pipe4 第 5 位元的數據，第三輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 6 位元的數據，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 6 位元的數據，而輸出端輸出一第四互斥或閘信號。

互斥或閘 860 的第一輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 3 位元的數據，第二輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 4 位元的數據，第三輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 5 位元的數據，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 5 位元的數據，而輸出端輸出一第五互斥或閘信號。

互斥或閘 861 的第一輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 2 位元的數據，第二輸入端接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

收資料處理管路 408 所送出的位元組 Pipe4 之第 3 位元的數據，第三輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 4 位元的數據，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 4 位元的數據，而輸出端輸出一第六互斥或閘信號。

互斥或閘 862 的第一輸入端接收第一互斥或閘信號，第二輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 2 位元的數據，第三輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 3 位元的數據，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 3 位元的數據，而輸出端輸出一第七互斥或閘信號。

互斥或閘 863 的第一輸入端接收第二互斥或閘信號，第二輸入端接收第一互斥或閘信號，第三輸入端接收資料處理管路 408 所送出的位元組 Pipe4 之第 2 位元的數據，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 2 位元的數據，而輸出端輸出一第八互斥或閘信號。

互斥或閘 864 的第一輸入端接收第三互斥或閘信號，第二輸入端接收第二互斥或閘信號，第三輸入端接收第一互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe3 之第 1 位元的數據，而輸出端輸出一第九互斥或閘信號。

互斥或閘 865 的第一輸入端接收第四互斥或閘信號，第二輸入端接收第三互斥或閘信號，第三輸入端接收第二互斥或閘信號，第四輸入端接收資料處理管路 408 所送出

五、發明說明(27)

的位元組 Pipe3 之第 0 位元的數據，而輸出端輸出一第十互斥或閘信號。

互斥或閘 866 的第一輸入端接收第五互斥或閘信號，第二輸入端接收第四互斥或閘信號，第三輸入端接收第三互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 7 位元的數據，而輸出端輸出一第十一互斥或閘信號。

互斥或閘 867 的第一輸入端接收第六互斥或閘信號，第二輸入端接收第五互斥或閘信號，第三輸入端接收第四互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 6 位元的數據，而輸出端輸出一第十二互斥或閘信號。

互斥或閘 868 的第一輸入端接收第七互斥或閘信號，第二輸入端接收第六互斥或閘信號，第三輸入端接收第五互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 5 位元的數據，而輸出端輸出一第十三互斥或閘信號。

互斥或閘 869 的第一輸入端接收第八互斥或閘信號，第二輸入端接收第七互斥或閘信號，第三輸入端接收第六互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 4 位元的數據，而輸出端輸出一第十四互斥或閘信號。

互斥或閘 870 的第一輸入端接收第九互斥或閘信號，第二輸入端接收第八互斥或閘信號，第三輸入端接收第七

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 3 位元的數據，而輸出端輸出一第十五互斥或閘信號。

互斥或閘 871 的第一輸入端接收第十互斥或閘信號，第二輸入端接收第九互斥或閘信號，第三輸入端接收第八互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 2 位元的數據，而輸出端輸出一第十六互斥或閘信號；

互斥或閘 872 的第一輸入端接收第十一互斥或閘信號，第二輸入端接收第十互斥或閘信號，第三輸入端接收第九互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 1 位元的數據，而輸出端輸出一第十七互斥或閘信號。

互斥或閘 873 的第一輸入端接收第十二互斥或閘信號，第二輸入端接收第十一互斥或閘信號，第三輸入端接收第十互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe2 之第 0 位元的數據，而輸出端輸出一第十八互斥或閘信號。

互斥或閘 874 的第一輸入端接收第十三互斥或閘信號，第二輸入端接收第十二互斥或閘信號，第三輸入端接收第十一互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 7 位元的數據，而輸出端輸出一第十九互斥或閘信號。

互斥或閘 875 的第一輸入端接收第十四互斥或閘信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

號，第二輸入端接收第十三互斥或閘信號，第三輸入端接收第十二互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 6 位元的數據，而輸出端輸出一第二十互斥或閘信號。

互斥或閘 876 的第一輸入端接收第十五互斥或閘信號，第二輸入端接收第十四互斥或閘信號，第三輸入端接收第十三互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 5 位元的數據，而輸出端輸出一第二十一互斥或閘信號。

互斥或閘 877 的第一輸入端接收第十六互斥或閘信號，第二輸入端接收第十五互斥或閘信號，第三輸入端接收第十四互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 4 位元的數據，而輸出端輸出一第二十二互斥或閘信號。

互斥或閘 878 的第一輸入端接收第十七互斥或閘信號，第二輸入端接收第十六互斥或閘信號，第三輸入端接收第十五互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 3 位元的數據，而輸出端輸出一第二十三互斥或閘信號。

互斥或閘 879 的第一輸入端接收第十八互斥或閘信號，第二輸入端接收第十七互斥或閘信號，第三輸入端接收第十六互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 2 位元的數據，而輸出端輸出一第二十四互斥或閘信號。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(30)

互斥或閘 880 的第一輸入端接收第十九互斥或閘信號，第二輸入端接收第十八互斥或閘信號，第三輸入端接收第十七互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 1 位元的數據，而輸出端輸出一第二十五互斥或閘信號。

互斥或閘 881 的第一輸入端接收第二十互斥或閘信號，第二輸入端接收第十九互斥或閘信號，第三輸入端接收第十八互斥或閘信號，第四輸入端接收資料處理管路 408 所送出的位元組 Pipe1 之第 0 位元的數據，而輸出端輸出一第二十六互斥或閘信號。

互斥或閘 882 的第一輸入端接收第二十一互斥或閘信號，第二輸入端接收第二十互斥或閘信號，第三輸入端接收第十九互斥或閘信號，第四輸入端接收資料流 AtmRx_Data 之第 7 位元的數據，而輸出端輸出一第二十七互斥或閘信號以做為特徵碼 Syndrome 的第 7 位元。

互斥或閘 883 的第一輸入端接收第二十二互斥或閘信號，第二輸入端接收第二十一互斥或閘信號，第三輸入端接收第二十互斥或閘信號，第四輸入端接收資料流 AtmRx_Data 之第 6 位元的數據，而輸出端輸出一第二十八互斥或閘信號。

互斥或閘 884 的第一輸入端接收第二十三互斥或閘信號，第二輸入端接收第二十二互斥或閘信號，第三輸入端接收第二十一互斥或閘信號，第四輸入端接收資料流 AtmRx_Data 之第 5 位元的數據，而輸出端輸出一第二十

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (7\)

九互斥或閘信號以做為特徵碼 Syndrome 的第 5 位元。

互斥或閘 885 的第一輸入端接收第二十四互斥或閘信號，第二輸入端接收第二十三互斥或閘信號，第三輸入端接收第二十二互斥或閘信號，第四輸入端接收資料流 AtmRx_Data 之第 4 位元的數據，而輸出端輸出一第三十互斥或閘信號。

互斥或閘 886 的第一輸入端接收第二十五互斥或閘信號，第二輸入端接收第二十四互斥或閘信號，第三輸入端接收第二十三互斥或閘信號，第四輸入端接收資料流 AtmRx_Data 之第 3 位元的數據，而輸出端輸出一第三十一互斥或閘信號以做為特徵碼 Syndrome 的第 3 位元。

互斥或閘 887 的第一輸入端接收第二十六互斥或閘信號，第二輸入端接收第二十五互斥或閘信號，第三輸入端接收第二十四互斥或閘信號，第四輸入端接收資料流 AtmRx_Data 之第 2 位元的數據，而輸出端輸出一第三十二互斥或閘信號。

互斥或閘 889 的第一輸入端接收第二十六互斥或閘信號，第二輸入端接收第二十五互斥或閘信號，第三輸入端接收資料流 AtmRx_Data 之第 1 位元的數據，而輸出端輸出一第三十三互斥或閘信號以做為特徵碼 Syndrome 的第 1 位元。

互斥或閘 890 的第一輸入端接收第二十六互斥或閘信號，第二輸入端接收資料流 AtmRx_Data 之第 0 位元的數據，而輸出端輸出一第三十四互斥或閘信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(37)

反相器 891 的輸入端接收第二十八互斥或閘信號，而輸出端輸出一第一反相器信號以做為特徵碼 Syndrome 的第 6 位元。反相器 892 的輸入端接收第三十互斥或閘信號，而輸出端輸出一第二反相器信號以做為特徵碼 Syndrome 的第 4 位元。反相器 892 的輸入端接收第三十二互斥或閘信號，而輸出端輸出一第三反相器信號以做為特徵碼 Syndrome 的第 2 位元。反相器 893 的輸入端接收第三十四互斥或閘信號，而輸出端輸出一第四反相器信號以做為特徵碼 Syndrome 的第 0 位元。

綜而觀之，在第 8D 圖中，亦是藉由除法器，對所取得之位元組資料進行一除以 (X^8+X^2+X+1) 之除算，而來取得特徵碼，差別在於在第 8D 圖所示例子中，係一次並列取用資料胞中之五個位元組進行檢測運算，在此之下，不須對承載胞部分進行補償修正。取得特徵碼之作用與第 8A 圖所示相同。

第 8E 圖繪示本發明之標頭錯誤控制碼檢查器之又另一較佳實施例的方塊圖。在第 8 E 圖中，標頭錯誤控制碼檢查器 410 的電路架構與第 8A 圖的電路架構之不同之處，其在於第 8E 圖的電路架構多出由多工器 817 與或閘 815 所組成之節電裝置，且此或閘 815 的輸入端接收位元組指位器 404 (參考第 4 圖)所送出的指標信號 Ptr_L4 與 Ptr_Max，而或閘 815 的輸出端輸出一或閘信號 OR 至多工器 817。多工器 817 的輸入端 1 接收模數 2 加法器 816 所送出的位元組數據 ADD2，多工器 817 的輸入端 0 接收

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (33)

位元組數據 0x00，而多工器 817 的輸出端輸出多工位元組數據 SEL 至 D 型正反器 806'，此多工位元組數據 SEL 是根據或閘信號 OR 來選擇位元組數據 ADD2 或位元組數據 0x00 做為多工器 817 輸出的位元組數據。第 8E 圖其餘的構件與第 8A 圖所示之構件相同，在此賦予相同標號並省略其說明。

在第 8E 圖中增加多工器 817 與或閘 815 的目的，在於其傳輸收斂層 302(參考第 4 圖)在非搜尋狀態下，亦即預備、完全同步、及保留狀態下，標頭錯誤控制碼檢查器 410"不需要對資料胞的每一個位元組偵測是否為標頭胞，而僅在每一個資料胞的最後一個位元組之後(即指標信號 Ptr_Max)，以及在每一個資料胞的前四個位元組(即指標信號 Ptr_L4)，進行檢查即可，用以節電，避免不必要之運算。

在第 4 圖中，資料處理管路 408 接收解資料框 306(參考第 3 圖)所送出之資料流 AtmRx_Data 之位元組的數據，資料流致能信號 AtmRx_Hit 可使資料處理管路 408 致能工作，資料處理管路 408 根據資料胞同步狀態機器 402 所送出的狀態信號與位元組指位器 404 所送出的指標信號來暫存資料流 AtmRx_Data 之位元組的數據。將所暫存的資料流 AtmRx_Data 之位元組數據可被送至標頭錯誤控制碼檢查器 410 中，供其在判斷是否有接收到標頭胞時，作為補償修正用，或被送至標頭錯誤控制碼檢查器 410"中，供判斷是否收到標頭胞。該資料流 AtmRx_Data 之位元組數據

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

並可以以並列方式送出兩個雙字元組的數據(即 64 位元的數據)給解混碼器 412，俾使其可以解出一雙字元組資料給緩衝器 304。

第 9 圖繪示本發明之資料處理管路之一較佳實施例的電路圖。在第 9 圖中，資料處理管路 408 中之或閘 922 的輸入端接收下資料胞同步狀態機器 402(第 9 圖之說明皆參考第 4 圖)所送出的狀態信號 NS_Hunting，或閘 922 的反相輸入端接收位元組指位器 404 所送出的指標信號 Ptr_03，而或閘 922 的輸出端輸出信號 OR1。及閘 920 的第一輸入端接收或閘 922 所送出的信號 OR1，及閘 920 的第二輸入端接收資料流致能信號 AtmRx_Hit，而及閘 920 的輸出端輸出一第一致能信號 Pipe_Enal 至 D 型正反器 902、D 型正反器 904、D 型正反器 906 與 D 型正反器 908 的致能端 ENA。

D 型正反器 902 的時脈端 CLK 在接收一個同步時脈的周期，D 型正反器 902 的致能端 ENA 接收第一致能信號 Pipe_Enal 使 D 型正反器 902 致能，從 D 型正反器 902 的輸入端 D 接收資料流 AtmRx_Data 之位元組的數據，而由 D 型正反器 902 的輸出端 Q 輸出位元組數據 Pipe1。

D 型正反器 904 的 ENA 時脈端 CLK 在接收一個同步時脈的周期，D 型正反器 904 的致能端 ENA 接收第一致能信號 Pipe_Enal 使 D 型正反器 904 致能，從 D 型正反器 904 的輸入端 D 接收位元組數據 Pipe1，而由 D 型正反器 904 的輸出端 Q 輸出位元組數據 Pipe2。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(25)

D 型正反器 906 的時脈端 CLK 在接收一個同步時脈的周期，D 型正反器 906 的致能端 ENA 接收第一致能信號 Pipe_Enal 使 D 型正反器 906 致能，從 D 型正反器 906 的輸入端 D 接收位元組數據 Pipe2，而由 D 型正反器 906 的輸出端 Q 輸出位元組數據 Pipe3。

D 型正反器 908 的時脈端 CLK 在接收一個同步時脈的周期，D 型正反器 908 的致能端 ENA 接收第一致能信號 Pipe_Enal 使 D 型正反器 908 致能，從 D 型正反器 908 的輸入端 D 所接收之位元組數據 Pipe3，而由 D 型正反器 908 的輸出端 Q 輸出位元組數據 Pipe4。

其中，根據指標信號 Ptr_03 與狀態信號 NS_Hunting 來使位元組數據 Pipe1、位元組數據 Pipe2、位元組數據 Pipe3 與位元組數據 Pipe4 以位元組串列方式由上一個 D 型正反器送至下一個 D 型正反器，而位元組數據 Pipe1、位元組數據 Pipe2、位元組數據 Pipe3 與位元組數據 Pipe4 亦可以並列的方式，送出雙字元組的數據(即 32 位元的數據)至解混碼器 412。而指標信號 Ptr_03 會控制 D 型正反器 902，使 D 型正反器 902 在收完第 4 位元組 H3 後，要收入第 5 個位元組 HEC 時被失能，而不會收入標頭錯誤控制碼 HEC，藉此而將標頭錯誤控制碼去除，俾避免稍後被取入解混碼器中受到解混碼。

或閘 928 的輸入端接收資料胞同步狀態機器 402 所送出的狀態信號 NS_Hunting，或閘 928 的反相輸入端接收位元組指位器 404 所送出的指標信號 Ptr_3t6，而或閘 928

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (76)

的輸出端輸出信號 OR2。及閘 930 的第一輸入端接收或閘 928 所送出的信號 OR2，及閘 930 的第二輸入端接收資料流致能信號 AtmRx_Hit，而輸出端輸出一第二致能信號 Pipe_Ena2 至 D 型正反器 934。

D 型正反器 934 的時脈端 CLK 接收一同步時脈信號，D 型正反器 934 的致能端 ENA 接收及閘 930 所送出的第二致能信號 Pipe_Ena2，使 D 型正反器 934 致能，從 D 型正反器 934 的輸入端 D 接收正反器 908 之輸出，D 型正反器 934 的輸出端 Q 除了輸出至正反器 910 外，並經由管線 Pipe5 被輸出至標頭錯誤控制碼檢查器 410，供使資料處理管路 408 所取入之承載胞資料可被送至檢查器 410，作補償修正用。又，藉由使該第二致能信號 Pipe_Ena2 在資料處理管路 408 取入一資料胞之第 4 至第 7 個位元組時被失能(亦即 Ptr_3t6)，將可使資料處理管路 408 所取入之標頭胞資料 H0~H3 在此被擋掉，不會被後送至以下之正反器中，而使解混碼器 412 在後續解混碼時，將只會取得資料胞中之承載胞部分進行解混碼。另外，該正反器 934 在資料處理管路收入第 8 個位元組後，則又被致能，俾使承載胞部分之資料可被後送至其它正反器，並被送入檢查器 410 中作補償。

在資料處理管路 408 中的及閘 932 之反相輸入端接收位元組指位器 404 所送出的指標信號 Ptr_3t6，及閘 932 的輸入端接收資料流致能信號 AtmRx_Hit，而及閘 932 的輸出端輸出一第三致能信號 Pipe_Ena3 至 D 型正反器 910、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(37)

D 型正反器 912、D 型正反器 914、D 型正反器 916 與 D 型正反器 918。

D 型正反器 910 的時脈端 CLK 接收一同步時脈信號，D 型正反器 910 的致能端 ENA 接收一第三致能信號 Pipe_Ena3 使 D 型正反器 910 致能，D 型正反器 910 的輸入端 D 接收正反器 934 之輸出，而其輸出端 Q 輸出至正反器 912 並被引出一數據 Pipe6。

D 型正反器 912 的時脈端 CLK 接收一同步時脈信號，致能端 ENA 接收第三致能信號 Pipe_Ena3 使 D 型正反器 912 致能，輸入端 D 接收正反器 910 之輸出，輸出端 Q 輸出至正反器 914 並被引出一數據 Pipe7。

D 型正反器 914 的時脈端 CLK 接收一同步時脈信號，致能端 ENA 接收第三致能信號 Pipe_Ena3 使 D 型正反器 914 致能，輸入端 D 接收正反器 912 之輸出，輸出端 Q 輸出至正反器 916 並被引出一數據 Pipe8。

D 型正反器 916 的時脈端 CLK 接收一同步時脈信號，致能端 ENA 接收第三致能信號 Pipe_Ena3 使 D 型正反器 916 致能，輸入端 D 接收正反器 914 之輸出，輸出端 Q 輸出至正反器 918 並被引出一數據 Pipe9。

D 型正反器 918 的時脈端 CLK 接收一同步時脈信號，致能端 ENA 接收第三致能信號 Pipe_Ena3 使 D 型正反器 918 致能，輸入端 D 接收正反器 916 之輸出信號的第零位元至第二位元的數據，輸出端 Q 輸出一 3 位元數據 Pipe10。

其中，當連續所接收的資料胞計算標頭胞所得到的

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(18)

特徵碼為 0x00 時，資料胞中的承載資料胞(參考第 1 圖)必須進行解混碼的工作，而數據 Pipe6 的第三位元至第七位元、數據 Pipe7、數據 Pipe8、數據 Pipe9 與 3 位元數據 Pipe10 共 32 位元，被送至解混碼器 412，以做為解混碼器 412 將承載資料胞進行解混碼的參考數據之用。

根據上述電路圖，可知資料處理管路 408 在接收並同時暫存位元組資料之同時，並分段被致能，藉以達成一供其它相關元件共同取用資料之目的。亦即，受第一致能信號 Pipe Ena1 控制之正反器 902、904、906、908 為第一段；受第二致能信號 Pipe Ena2 控制之正反器 934 為第二段；受第三致能信號 PipeEna3 控制之正反器 910、912、914、916、918 為第三段。

其中，在未發現標頭胞之搜尋狀態下，第一、二、三段都會被致能。當發現標頭胞，且已取入標頭胞之前四個位元組後，根據來自位元組指位器之信號 Ptr03、Ptr3t6，第一、二、三段將被失能，藉以擋掉錯誤控制碼 HEC 之取入；過了資料胞之第五位元組接收時脈後，第一段恢復致能，第二、三段持續被失能至第 7 個位元組被取入資料處理管路 408 後，藉以擋掉標頭胞資料 H0~H3，防止其被送至後續正反器，但另一方面讓後續之承載胞資料可以持續依序進入資料處理管路 408；之後，即持續被致能，直到該資料胞接收完。

在第 4 圖中，解混碼器 412 接收資料處理管路 408 所送出的 64 位元的數據(即數據 Pipe1、數據 Pipe2、數據

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(29)

Pipe3、數據 Pipe4、數據 Pipe6 的第三位元至第七位元、數據 Pipe7、數據 Pipe8、數據 Pipe9 與 3 位元數據 Pipe10)，解混碼器 412 根據位元組指位器 404 所送出的指標信號，將具有混碼格式的雙字元組數據(即數據 Pipe1、Pipe2、Pipe3 與 Pipe4)做互斥或運算，以得到經解混碼的一雙字元組數據 RxBuf_WrData，並且將此雙字元組數據 RxBuf_WrData 送至緩衝器 304(參考第 3 圖)。

第 10 圖繪示本發明之解混碼器之一較佳實施例的電路圖。在第 10 圖中，解混碼器 412 中的多工器 1002 的多重位元組輸入端 0 接收來自資料處理管路 408(參考第 4 圖)所送出的數據 Pipe6 的第三位元至第七位元、數據 Pipe7、數據 Pipe8、數據 Pipe9 與 3 位元數據 Pipe10 等數據，多工器 1002 的多重位元組輸入端 1 接收 0x00000000，多工器 1002 的選擇端 SEL 接收位元組指位器 404(參考第 4 圖)所送出的指標信號 Ptr_03，此指標信號 Ptr_03 控制多工器 1002 的多重位元組輸出端輸出一多重位元組數據 MUX 是數據 Pipe6 的第三位元至第七位元、數據 Pipe7、數據 Pipe8、數據 Pipe9 與 3 位元數據 Pipe10 的數據或是 0x00000000 的數據。

互斥或閘 1004 的第一多重位元組輸入端接收位元組數據 Pipe1、位元組數據 Pipe2、位元組數據 Pipe3 與位元組數據 Pipe4 之數據，互斥或閘 1004 的第二多重位元組輸入端接收多工器 1002 所輸出的多重位元組數據 MUX，互斥或閘 1004 將第一多重位元組輸入端與第二多重位元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

組輸入端分別所接收的 32 位元之數據做互斥或運算，其運算所得到的雙字元組數據 RxBuf_WrData 由多重位元組輸出端送至緩衝器 304(參考第 3 圖)。

發射系統在未傳送接收系統所需要的資料胞之前，爲了使發射系統與接收系統的資料傳輸可以同步，發射系統會先傳送閒置資料胞至接收系統。在第 4 圖中，當閒置資料胞辨別器 414 接收到資料流致能信號 AtmRx_Hit，可使閒置資料胞辨別器 414 致能，且閒置資料胞辨別器 414 收到閒置資料胞時，便會送出一閒置資料胞信號至緩衝器寫入控制器 416，以通知緩衝器寫入控制器 416 此時的資料胞爲閒置資料胞。

如第 11A 圖繪示閒置資料胞的資料格式所示，閒置資料胞的資料格式係爲標頭胞中的位元組 H0~H2 之數據皆爲 0x00，標頭胞中的位元組 H3 之數據爲 0x01，標頭胞中之標頭錯誤控制碼 HEC 的數據爲 0x52。

第 11B 圖繪示本發明之閒置資料胞辨別器之一較佳實施例的電路圖。在第 11B 圖中，閒置資料胞辨別器 414 中的互斥或閘 1102 之第一輸入端接收資料處理管路 408(第 11B 圖的說明皆參考第 4 圖)所送出之位元組數據 Pipel 的第 0 位元之數據，互斥或閘 1102 之第二輸入端接收位元組指位器 404 所送出的指標信號 Ptr_03，而互斥或閘 1102 之輸出端輸出一信號 XOR_S。

或閘 1104 的第一輸入端接收 D 型正反器 1112 所送出的非閒置資料胞信號 Data_Cell，第二輸入端到第八輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4\)

入端接收資料處理管路 408 所送出之位元組數據 Pipe1 的第七位元到第一位元之數據，第九輸入端接收互斥或閘 1102 所送出的信號 XOR_S，而或閘 1104 的輸出端輸出一信號 OR_S1。

或閘 1106 的第一輸入端接收位元組指位器 404 所送出的指標信號 Ptr_Max，或閘 1106 的第二輸入端接收位元組指位器 404 所送出的指標信號 Ptr_L4，而或閘 1106 的輸出端輸出一信號 OR_S2。及閘 1110 的輸入端接收或閘 1104 所送出的信號 OR_S1，或閘 1106 的反相輸入端接收位元組指位器 404 所送出的指位信號 Ptr_Max，而及閘 1110 的輸出端輸出一信號 AND_S。

及閘 1108 的第一輸入端接收或閘 1106 所送出的信號 OR_S2，及閘 1108 的第二輸入端接收資料流致能信號 AtmRx_Hit，而及閘 1108 的輸出端輸出一致能信號 AND_Ena。

D 型正反器 1112 的輸入端 D 接收信號 AND_S，D 型正反器 1112 的致能端 ENA 接收及閘 1108 所送出的致能信號 AND_Ena，D 型正反器 1112 的時脈端 CLK 在接收同步時脈時，由 D 型正反器 1112 的輸出端 Q 輸出非閒置資料胞信號 Data_Cell，由 D 型正反器 1112 的反相輸出端 \bar{Q} 輸出閒置資料胞信號 Idel_Cell。

在第 11B 圖中，當閒置資料胞辨別器 414 的電路接收到非閒置資料胞的資料格式時，經由閒置資料胞辨別器 414 中的數個邏輯閘判斷，而由 D 型正反器 1112 送出非

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(47)

閒置資料胞信號 Data_Cell 至緩衝器寫入控制器 416。

在第 4 圖中，緩衝器寫入控制器 416 接收資料流致能信號 AtmRx_Hit 使緩衝器寫入控制器 416 致能，緩衝器寫入控制器 416 根據位元組指位器 404 所送出的指標信號、資料胞同步狀態機器 402 所送出的狀態信號、緩衝器 304(參考第 3 圖)所送出之寫入請求的信號 RxBuf_WrReq 與閒置資料胞辨別器 414 所送出的非閒置資料胞信號 Data_Cell，來判斷是否要將資料胞送到緩衝器 304(參考第 3 圖)。如果資料胞不是閒置資料胞時，則緩衝器寫入控制器 416 送出寫入的信號 RxBuf_WrHit 至緩衝器 304(參考第 3 圖)，以通知緩衝器 304(參考第 3 圖)接收解混碼器 412 所送出的雙字元組的數據。若緩衝器 304(參考第 3 圖)的資料寫滿時，緩衝器 304(參考第 3 圖)所送的信號 WrReq 會通知緩衝器寫入控制器 416，當解混碼器 412 要送出雙字元組的數據至緩衝器 304(參考第 3 圖)，則緩衝器寫入控制器 416 會送出一溢位信號 RxBuf_Ovf 至上層系統。

第 12 圖繪示本發明之緩衝器寫入控制器之一較佳實施例的電路圖。在第 12 圖中，緩衝器寫入控制器 416 中之或閘 1202 的第一輸入接收位元組指位器 404(第 12 圖的說明皆參考第 4 圖)所送出的指標信號 Ptr_03，或閘 1202 的第二輸入端接收閒置資料胞辨別器 414 所送出的非閒置資料胞信號 Data_Cell，或閘 1202 的輸出端輸出信號 OR。

及閘 1204 的第一輸入端接收或閘 1202 所送出的信號 OR，及閘 1204 的第二輸入端接收資料胞同步狀態機器

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(43)

402 所送出的狀態信號 NS_Corsync，及閘 1204 的第三輸入端接收位元組指位器 404 所送出的指標信號 Ptr_R3，及閘 1204 的第四輸入端接收資料流致能信號 AtmRx_Hit，及閘 1204 的輸出端輸出信號 AND。

及閘 1206 的第一輸入端接收及閘 1204 所送出的信號 AND，及閘 1206 的第二輸入端接收緩衝器 304(參考第 3 圖)所送出的請求寫入信號 RxBuf_WrReq，及閘 1206 的輸出端輸出寫入信號 RxBuf_WrHit 至緩衝器 304(參考第 3 圖)。

及閘 1208 的輸入端接收及閘 1204 所送出的信號 AND，及閘 1208 的反相輸入端接收緩衝器 304(參考第 3 圖)所送出的請求寫入信號 RxBuf_WrReq，及閘 1208 的輸出端輸出溢位信號 RxBuf_Ovf 至上層系統。

在第 12 圖中，當資料寫入緩衝器 304(參考第 3 圖)已寫滿時，緩衝器 304(參考第 3 圖)所送出的請求寫入信號 RxBuf_WrReq 為 '0'，如果此時解混碼器 412(參考第 4 圖)還要將雙字元組數據寫入緩衝器 304(參考第 3 圖)內，則緩衝器寫入控制器 416 會送出溢位信號 RxBuf_Ovf 為 '1' 至上層系統，以通知上層系統緩衝器 304(參考第 3 圖)已寫滿資料。

第二實施例

第 13 圖繪示本發明另一種非同步傳輸模式傳輸收斂層電路的系統方塊圖。在第 13 圖中，傳輸之接收端的非同步傳輸模式傳輸收斂層 1300 的電路架構與第 4 圖的電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(44)

路架構之不同之處，其在於第 13 圖的電路架構多一標頭位元錯誤修正器 1304，且此標頭位元錯誤修正器 1304 有信號送至解混碼器 1502，其餘與第 4 圖所示之構件相同，在此賦予相同標號並省略其說明。

在標頭錯誤控制碼檢查器 410 計算標頭胞(參考第 1 圖)而得到的特徵碼時，若發生一個位元之數據錯誤時，則標頭錯誤控制碼檢查器 410 將發生一位元的數據錯誤之特徵碼送至標頭位元錯誤修正器 1304。如第 14 圖繪示一供修正一位元錯誤之修正碼對照表所示，標頭位元錯誤修正器 1304 是具有一標頭位元錯誤校正表的功能，例如，當標頭胞的第 0 位元之數據錯誤時，則標頭錯誤控制碼檢查器 410 所送出之 8 位元的特徵碼是 0x07，標頭位元錯誤修正器 1304 根據第 14 圖的標頭位元錯誤校正表是得到 0x0000001 之 32 位元的修正碼，並且將此修正碼送至解混碼器 1502。若所接收的標頭胞是正確的或是發生二位元以上(含二位元)之數據錯誤時，此時，標頭錯誤控制碼檢查器 410 計算得到的特徵碼在標頭位元錯誤修正器 1304 中是設為 default，並且由標頭位元錯誤修正器 1304 送出的修正碼為 0x00000000 至解混碼器 1502，亦即不予修正。

第 15 圖繪示本發明之一連接標頭位元錯誤修正器之解混碼器之一較佳實施例的電路圖。在第 15 圖中，解混碼器 1502 中的多工器 1504 所接收的數據必須做修正。多工器 1504 的第一多重位元組輸入端接收位元組數據 Pipe6 的第三位元至第七位元、位元組數據 Pipe7、位元組數據

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(45)

Pipe8、位元組數據 Pipe9 與 3 位元數據 Pipe10 的數據，第二多重位元組輸入端接收由標頭位元錯誤修正器 1304 所送出的 32 位元之修正碼，SEL 端接收位元組指位器 404(參考第 13 圖)所送出的指位信號 Ptr_03，此指位信號 Ptr_03 控制多工器 1504 的多重位元組輸出端，以選擇輸出位元組數據 Pipe6 的第三位元至第七位元、位元組數據 Pipe7、位元組數據 Pipe8、位元組數據 Pipe9 與 3 位元數據 Pipe10 的數據或是 32 位元之修正碼。如此，當資料胞中的標頭胞發生一位元的數據錯誤時，便可藉由標頭位元錯誤修正器 1304 來修正，以得到正確的標頭胞資料。

因此，本發明的優點係對於完成資料的同步接收、檢查標頭胞、解混碼及資料格式的重整等工作，其電路可以最佳化來設計電路架構，並且對於處理其工作所花費的時間可以縮短。

本發明的另一優點係對於所接收的資料胞，其在傳輸上發生一位元錯誤時，只要增加簡單的修正電路即可輕易地達到修正的功能，並不會使系統電路設計複雜而使得成本增加。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種非同步傳輸用接收器之傳輸收斂層電路，用以在一來自解資料框之資料流致能信號之致能下，接收由該解資料框所送出之資料胞，且該資料胞由分屬一標頭胞與一承載胞之多數位元組所組成，該傳輸收斂層電路包括：

一資料處理管路，用以依序接收並暫存該資料胞之數個位元組資料；

一標頭錯誤控制碼檢查器，用以接收該等位元組資料，並送出一代表標頭胞是否有出現之特徵碼；

一閒置資料胞辨別器，用以判斷該資料處理管路所接收之該資料胞是否為一非閒置資料胞；

一資料胞同步狀態機器，用以根據該特徵碼之內容及次數，來判斷該資料胞的傳輸狀態，並送出一代表目前狀態之狀態信號，且該狀態至少包含有一搜尋狀態與一完全同步狀態；

一位元組指位器，用以送出一指標信號，該指標信號用以標示該資料處理管路新接收之位元組在所屬資料胞中之序數，並作為該新接收位元組經轉換為相對應雙字元組後要被存入一緩衝器時的位址指標；

一解混碼器，用以對該資料處理管路所暫存之該等數個位元組資料進行解混碼，並將其結果送給該緩衝器；以及

一緩衝器寫入控制器，用以在該閒置資料胞辨別器與該資料胞同步狀態機器的允許下，依據該位元組指位器之指示，使經該解混碼器解混碼後之資料寫入該緩衝器。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

六、申請專利範圍

2.如申請專利範圍第 1 項所述之非同步傳輸用接收器之傳輸收斂層電路，其還包含一資料胞計數器，用以在該資料胞同步狀態機器要由該搜尋狀態進入該完全同步狀態，與由該完全同步狀態回到搜尋狀態前，因應該位元組指位器所送出之指標信號，先計數狀態改變後已收資料胞之數量，俾確定是否要進入該完全同步狀態機器與回到該搜尋狀態。

3.如申請專利範圍第 1 項所述之電路，其中該標頭錯誤控制碼檢查器對所收入之位元組進行序列式檢測，且具有一補償電路，且該補償電路有一補償源，其取自該資料處理管路中所暫存之承載胞資料。

4.如申請專利範圍第 3 項所述之電路，其中該標頭錯誤控制碼檢查器還包含一節電裝置，用以僅在該收斂層電路接收各該資料胞的最後一位元組後，以及最前特定數量位元組數時，才進行該標頭胞檢測。

5.如申請專利範圍第 1 項所述之電路，其中該標頭錯誤控制碼檢查器藉由從該資料處理管路上並列取入最新五組位元組資料，除以 (X^8+X^2+X+1) 而得該特徵碼。

6.如申請專利範圍第 1 項所述之電路，其中該同步狀態機器並會輸出一代表下一狀態的次一狀態信號；且其中該位元組指位器包含有一解碼器，該解碼器會進一步根據該位元組指位器所輸出之指標信號，輸出一代表該資料處理管路已取入該資料胞中之第四個位元組的第四位元組信號；該位元組指位器利用該第四位元組信號，與該次一狀

六、申請專利範圍

態信號，使一對應於該資料胞之第六位元組資料的指標信號，同於一對應於該資料胞之第五位元組資料的指標信號。

7.如申請專利範圍第 1 項所述之非同步傳輸用接收器之傳輸收斂層電路，其中該資料處理管路分為串列之第一、第二、第三區段等三個區段暫存區，第一個區段在該資料處理管路接收到標頭胞後，被暫時失能，以防止該資料處理管路取入該標頭錯誤控制碼，第二區段在該標頭錯誤控制碼被防止取入後，該資料處理管路持續接收後續承載胞資料時，被暫時失能一段時間，俾藉由避免將標頭胞資料移入後續第三區段中而消除之。

8.如申請專利範圍第 1 項所述之電路，其中該解混碼器自該資料處理管路中，並列取得一供解出一雙字元組資料的位元組資料，且在對標頭胞資料進行解混碼時，以一機定值作為解混碼參數，而在對承載胞資料進行解混碼時，則以該資料處理管路先前所接收到且尚存於其中之資料作為解混碼參數。

9.如申請專利範圍第 1 項所述之電路，還包括一標頭位元錯誤修正器，其藉由判斷所接收之標頭胞的特徵碼，而在該標頭胞資料發生單一位元錯誤時，依據一標頭位元錯誤校正表，送出該錯誤標頭胞之特徵碼所對應的修正碼給該解混碼器，俾使該解混碼器在對標頭胞資料進行解混碼時，解出正確的標頭胞資料。

10.如申請專利範圍第 9 項之電路，其中該修正器在

六、申請專利範圍

該標頭胞資料沒有發生位元錯誤以及錯誤位元數在兩個以上時，係送出一不作修正之機定碼給該解混碼器。

11.如申請專利範圍第2項所述之電路，其中：

該資料胞同步狀態機器，用以接收該資料流致能信號、該資料胞計數器之一計數信號、該特徵碼與該位元組指位器之複數個指標信號中的一個指標信號，該資料流致能信號致能該資料胞同步狀態機器，該資料胞同步狀態機器根據該計數信號、該特徵碼與指標信號來判斷是否要改變目前的狀態，並送出對應其狀態之複數個狀態信號；

該資料胞計數器，用以接收該資料流致能信號、該位元組指位器之該些指標信號中的一個指標信號與該資料胞同步狀態機器之對應其狀態之該些狀態信號，該資料流致能信號致能該位元組指位器，並根據該些狀態信號來累加一計數值達到對應其狀態之一設定值後，送出該計數信號至該資料胞同步狀態機器；

該位元組指位器，用以接收該資料流信號之致能，計數出一計數值係為該資料胞中目前之一位元組數據的位址，該計數值中最高有效之複數個位元的數據送至該緩衝器以作為位址指標之用，並將其數據編碼成該些指標信號；

該資料處理管路，用以接收該資料流致能信號、該些狀態信號、該些指標信號與該資料胞，該資料流致能信號致能該資料處理管路，根據該些狀態信號與該些指標信號而呈管狀接收與暫存該資料胞，將暫存之該資料胞送至

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

該標頭錯誤控制碼檢查器，亦可將該資料胞之該位元組數據轉換成一多重位元組數據；

該解混碼器，用以接收該多重位元組數據，根據該些指標信號中的一個指標信號，將具有混碼格式之該多重位元組數據做互斥或運算，以得到該字元組數據；

該閒置資料胞辨別器，用以接收該資料胞、該資料流致能信號與該些指標信號，該資料流致能信號致能該閒置資料胞辨別器，根據該些指標信號來判斷該資料胞是否為該非閒置資料胞，而判斷的結果可得到一非閒置資料胞信號；以及

該緩衝器寫入控制器，可接收該資料流致能信號、該些指標信號、該非閒置資料胞信號、該些狀態信號中的一個狀態信號與該緩衝器所送出之一寫入要求信號，該資料流致能信號致能該緩衝器寫入控制器，根據該些指標信號、該些狀態信號中的一個狀態信號與非該閒置資料胞信號來判斷是否可將該多重字元組寫入該緩衝器，將判斷結果送出一寫入信號至該緩衝器，若該緩衝器的資料寫滿時，該緩衝器送出一非請求寫入信號至該緩衝器寫入控制器，則該緩衝器寫入控制器送出一溢位信號。

12.如申請專利範圍第 2 項所述之電路，其中該資料胞同步狀態機器所判斷之狀態包括：

標頭找尋狀態，為初始設定狀態；

預備同步狀態，當新接收之特徵碼為一特定碼時進入此狀態；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

完全同步狀態，當新接收之特徵碼為該特定碼且累計達一第一特定值時，進入此狀態；

保留同步狀態，在該完全同步狀態下，當新接收之特徵碼不為該特定碼時，進入此狀態，且在該不為該特定碼之次數累計達一第二特定值時，由該保留同步狀態進入該標頭找尋狀態，但若未達該第二特定值，且該特徵碼為該特定碼時，則由該保留同步狀態回到該完全同步狀態。

13.如申請專利範圍第 12 項所述之電路，其中該資料胞同步狀態機器包括：

一次一狀態估算機器，在不同的狀態下，根據一目前狀態碼、該計數信號、該特徵碼與該些指標信號中的一個指標信號，來估算出一次一狀態碼；

一 D 型正反器，由資料流致能信號致能該 D 型正反器，在一同步時脈的週期中，將該次一狀態碼作為該目前狀態碼輸出；以及

一解碼器，將該目前狀態碼與該次一狀態碼分別解碼成複數個目前狀態信號與複數個次一狀態信號。

14.如申請專利範圍第 12 項所述之電路，其中該資料胞計數器包括：

一及閘，具有該第一輸入端、該第二輸入端與該輸出端，該第一輸入端接收該些指標信號中的一個指標信號，該第二輸入端接收該資料流致能信號，該輸出端輸出一及閘信號；

一反或閘，具有該第一輸入端、該第二輸入端與該

六、申請專利範圍

輸出端，該第一輸入端接收該資料胞同步狀態機器所送出之一目前找尋狀態信號，該第二輸入端接收該資料胞同步狀態機器所送出之一目前完全同步狀態信號，該輸出端輸出一反或閘信號；

一計數器，具有一致能端、一清除端、一時脈端與該輸出端，該致能端接收該反或閘信號，該清除端接收該反或閘信號，該時脈端接收該同步時脈，該輸出端輸出一計數值；

一多工器，具有該第一輸入端、該第二輸入端、一選擇端與該輸出端，該第一輸入端接收該第一預設值，該第二輸入端接收該第二預設值，該選擇端接收該資料胞同步狀態機器所送出之一預備同步狀態信號，該輸出端輸出一選擇預設值；以及

一比較器，具有該第一輸入端、該第二輸入端與該輸出端，該第一輸入端接收該計數值，該第二輸入端接收該選擇預設值，當該計數值與該選擇預設值相等時，則該輸出端輸出該計數信號。

15.如申請專利範圍第 12 項所述之電路，其中該位元組指位器包括：

一第一或閘，具有一輸入端、一反相輸入端與一輸出端，該輸入端接收該資料胞同步狀態機器所送出之一次一標頭找尋狀態信號，該反相輸入端接收該些指標信號中的一個指標信號，該輸出端輸出一第一或閘信號；

一 D 型正反器，具有該輸入端、一致能端、一時脈

六、申請專利範圍

端與該輸出端，該輸入端接收該第一或閘信號，該致能端接收該資料流致能信號，該時脈端接收該同步時脈，該輸出端輸出一罩幕信號；

一多工器，具有一第一輸入端、一第二輸入端、一選擇端與該輸出端，該第一輸入端接收一第一數值，該第二輸入端接收一第二數值，該選擇端接收該次一標頭找尋狀態信號，以決定輸出該第一數值與該第二數值之二者擇其一，其來做為一多工信號，該輸出端輸出該多工信號；

一第二或閘，具有該第一輸入端、該第二輸入端與該輸出端，該第一輸入端接收該次一標頭找尋狀態信號，該第二輸入端接收該些指標信號中的一個指標信號，該輸出端輸出一第二或閘信號；

一及閘，具有該第一輸入端、該第二輸入端與該輸出端，該第一輸入端接收該資料胞致能信號，該第二輸入端接收該罩幕信號，該輸出端輸出一及閘信號；

一計數器，具有該輸入端、一載入端、該致能端、該時脈端與該輸出端，該輸入端接收該多工信號，該載入端接收該第二或閘信號，該致能端接收該及閘信號，該時脈端接收該同步時脈，該輸出端輸出該計數值，當該及閘信號為'1'時，且該第二或閘信號為'0'，該計數值加 1 後由該輸出端輸出，當該及閘信號為'1'，且該第二或閘信號為'1'時，該輸出端輸出該多工信號；以及

一解碼器，可接收該計數值，將該計數值解碼成該些指標信號。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

16.如申請專利範圍第 1 項所述之電路，其中該標頭錯誤控制碼檢查器包括：

一餘數補償單元，接收該資料處理管路所送出之該位元組，將該位元組的數據做互斥或運算，以得到一餘數補償數據；

一第一模數 2 加法器，將該資料胞中之該位元組的數據與該餘數補償數據做模數 2 加法運算，以得到一第一加法數據；

一第二模數 2 加法器，將該第一加法數據與一商數回授數據做模數 2 加法運算，以得到一第二加法數據；

一 D 型正反器，具有一輸入端、一輸出端、一致能端與一時脈端，該時脈端接收該同步時脈，該致能端接收該資料流致能信號，以使該 D 型正反器致能，將該輸入端所接收之該第二加法數據，該輸出端輸出一正反器數據；

一商數回授單元，將該 D 型正反器所送出之該正反器數據做互斥或運算，以得到該商數回授數據；以及

複數個反相器，將該 D 型正反器所送出之該正反器數據的部分位元做反相運算，經反相運算的部分位元與該正反器數據未經反相運算的部分位元組成該特徵碼。

17.如申請專利範圍第 1 項所述之電路，其中該資料處理管路包括：

一第一或閘，具有一輸入端、一反相輸入端與一輸出端，該輸入端接收該些狀態信號中的一個狀態信號，該反相輸入端接收該些指標信號中的一個指標信號，該輸出

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

端輸出一第一或閘信號；

一第一及閘，具有一第一輸入端、一第二輸入端與該輸出端，該第一輸入端接收該第一或閘信號，該第二輸入端接收該資料流致能信號，該輸出端輸出一第一及閘信號；

一第一 D 型正反器，具有一位元組輸入端、一時脈端、一致能端與一位元組輸出端，該位元組輸入端接收該資料胞之該位元組數據，該時脈端接收該同步時脈，該致能端接收該第一及閘信號使該第一 D 型正反器致能，由該位元組輸出端輸出一第一延遲位元組數據；

一第二 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第一延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第一及閘信號使該第二 D 型正反器致能，由該位元組輸出端輸出一第二延遲位元組數據；

一第三 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第二延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第一及閘信號使該第三 D 型正反器致能，由該位元組輸出端輸出一第三延遲位元組數據；

一第四 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第三延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第一及閘信號使該第三 D 型正反器致能，由該位

六、申請專利範圍

元組輸出端輸出一第四延遲位元組數據；

一第二或閘，具有該輸入端、該反相輸入端與該輸出端，該輸入端接收該些狀態信號中的一個狀態信號，該反相輸入端接收該些指標信號中的一個指標信號，該輸出端輸出一第二或閘信號；

一第二及閘，具有該第一輸入端、該第二輸入端與該輸出端，該第一輸入端接收該第二或閘信號，該第二輸入端接收該資料流致能信號，該輸出端輸出一第二及閘信號；

一第五 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第四延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第二及閘信號使該第五 D 型正反器致能，由該位元組輸出端輸出一第五延遲位元組數據；

一第三及閘，具有該輸入端、該反相輸入端與該輸出端，該第一輸入端接收該些指標信號中的一個指標信號，該第二輸入端接收該資料流致能信號，該輸出端輸出一第三及閘信號；

一第六 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第五延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第三及閘信號使該第六 D 型正反器致能，由該位元組輸出端輸出一第六延遲位元組數據；

一第七 D 型正反器，具有該位元組輸入端、該時脈

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

端、該致能端與該位元組輸出端，該位元組輸入端接收該第六延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第三及閘信號使該第七 D 型正反器致能，由該位元組輸出端輸出一第七延遲位元組數據；

一第八 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第七延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第三及閘信號使該第八 D 型正反器致能，由該位元組輸出端輸出一第八延遲位元組數據；

一第九 D 型正反器，具有該位元組輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第八延遲位元組數據，該時脈端接收該同步時脈，該致能端接收該第三及閘信號使該第九 D 型正反器致能，由該位元組輸出端輸出一第九延遲位元組數量；以及

一第十 D 型正反器，具有一位元輸入端、該時脈端、該致能端與該位元組輸出端，該位元組輸入端接收該第九延遲位元組數據的最低之三個位元，該時脈端接收該同步時脈，該致能端接收該第三及閘信號使該第十 D 型正反器致能，由該位元組輸出端輸出一第十延遲位元數據。

18.如申請專利範圍第 17 項所述之電路，其中該解混碼器包括：

一多工器，具有一第一多重位元組輸入端、一第二多重位元組輸入端、一選擇端與一多重位元組輸出端，該第一多重位元組輸入端接收該第六延遲位元數據的最高的

六、申請專利範圍

五個位元之數據、該第七延遲位元數據、該第八延遲位元數據、該第九延遲位元數據與該第十延遲位元數據，該第二多重位元組輸入端接收 32 位元皆為'0'的數據，該選擇端接收該些指標信號中的一個指標信號，該多重位元組輸出端輸出一多工多重位元組數據；以及

一互斥或閘，具有該第一多重位元組輸入端、該第二多重位元組輸入端與該多重位元組輸出端，該第一多重位元組輸入端接收該第一延遲位元數據、該第二延遲位元數據、該第三延遲位元數據與該第四延遲位元數據，該第二多重位元組輸入端接收該多工多重位元組數據，該多重位元組輸出端輸出該字元組數據。

19.如申請專利範圍第 17 項所述之電路，其中該閒置資料胞辨別器包括：

一互斥或閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該第一延遲位元組數據的第零位元之數據，該第二輸入端接收該些指標信號中的一個指標信號，該輸出端輸出一互斥或閘信號；

一第三或閘，具有複數個輸入端與一輸出端，該些輸入端接收一非閒置資料胞信號、該第一延遲位元組數據的第一位元到第七位元之數據與該反互斥或閘信號，該輸出端輸出一第三或閘信號；

一第四或閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該些指標信號中的一個指標信號，該第二輸入端接收該些指標信號中的另一個指標信

六、申請專利範圍

號，該輸出端輸出一第四或閘信號；

一第四及閘，具有一輸入端、一反相輸入端與一輸出端，該輸入端接收該第三或閘信號，該第二輸入端接收該些指標信號中的一個指標信號，該輸出端輸出一第四及閘信號；

一第五及閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該第四或閘信號，該第二輸入端接收該資料胞致能信號，該輸出端輸出一第五及閘信號；以及

一 D 型正反器，具有一輸入端、該致能端、該時脈端、該輸出端與一反相輸出端，該輸入端接收該第四及閘信號，該致能端接收該第五及閘信號以使該 D 型正反器致能，在該時脈端接收該同步時脈時，由該輸出端輸出該非閒置資料胞信號，該反相輸出端輸出該閒置資料胞信號。

20.如申請專利範圍第 1 項所述之電路，其中該緩衝器寫入控制器包括：

一或閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入接收該些指標信號中的一個指標信號，該第二輸入端接收該非閒置資料胞信號，該輸出端輸出一或閘信號；

一第一及閘，具有一第一輸入端、一第二輸入端、一第三輸入端、一第四輸入端與一輸出端，該第一輸入端接收該或閘信號，該第二輸入端接收該些狀態信號中的一個狀態信號，該第三輸入端接收該些指標信號中的一個指

六、申請專利範圍

標信號，該第四輸入端接收該資料流致能信號，該輸出端輸出一第一及閘信號；

一第二及閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該第一及閘信號，該第二輸入端接收該緩衝器所送出之一請求寫入信號，該輸出端輸出該寫入信號；以及

一第三及閘，具有一輸入端、一反相輸入端與一輸出端，該輸入端接收該第一及閘信號，該反相輸入端接收該請求寫入信號，該輸出端輸出該溢位信號。

21.一種非同步傳輸用接收器之傳輸收斂層之操作方法，用以接收一由解資料框所送出之資料胞與一資料流致能信號，該資料胞由分屬一標頭胞與一承載胞之多數位元組所組成，該操作方法之步驟包括：

利用一資料處理管路來接收複數個位元組資料，該資料處理管路可依序接收並暫存一特定數量位元組數；

利用一標頭錯誤控制碼檢查器，來同步接收該等複數個位元組資料，並判斷是否正在接收一標頭胞，並送出一代表標頭胞是否有出現之特徵碼；

利用一資料胞同步狀態機器來根據該特徵碼判斷接收狀態是否由一搜尋狀態進入一完全同步狀態；

利用一解混碼器，在進入該完全同步狀態後，並列入該資料處理管路中足供解出一雙字元組的位元組資料，進行解混碼；以及

利用一位元組指位器，根據該資料胞同步狀態機器

六、申請專利範圍

所指出之狀態，輸出一指標信號，用以指出新接收位元組在所屬資料胞中之序數，以及該解混碼器所解出之資料所要被儲存之位址。

22.如申請專利範圍第 21 項所述之方法，其中還包括一標頭胞資料修正步驟，用以在根據所收到之標頭胞資料的特徵碼，判斷該標頭胞資料有單位元錯誤時，根據一校正表，送出一修正碼給解混碼器。

23.如申請專利範圍第 21 項之方法，其中該資料處理管路接收步驟包含：

一資料胞接收步驟，用以接收資料胞中之任何位元組資料；

一標頭錯誤控制碼刪除步驟，在取入標頭胞之主要資料後，使一第一部分暫存該標頭胞主要資料之資料處理管路失能，而防止標頭錯誤控制碼被該資料處理管路取入；

一標頭胞刪除步驟，在防止標頭錯誤控制碼之取入後，且該資料處理管路持續接收後續承載胞資料時，使一第二部分資料處理管路失能一段時間，俾藉由防止標頭胞資料被移位暫存在剩餘資料處理管路中而消除之。

24.如申請專利範圍第 21 項之方法，其還包含一第一資料胞計數步驟，用以在該資料胞同步狀態機器要由該搜尋狀態進入該完全同步狀態前，因應該位元組指位器所送出之指標信號，先計數狀態改變後已收資料胞之數量，俾確定是否要進入該完全同步狀態。

六、申請專利範圍

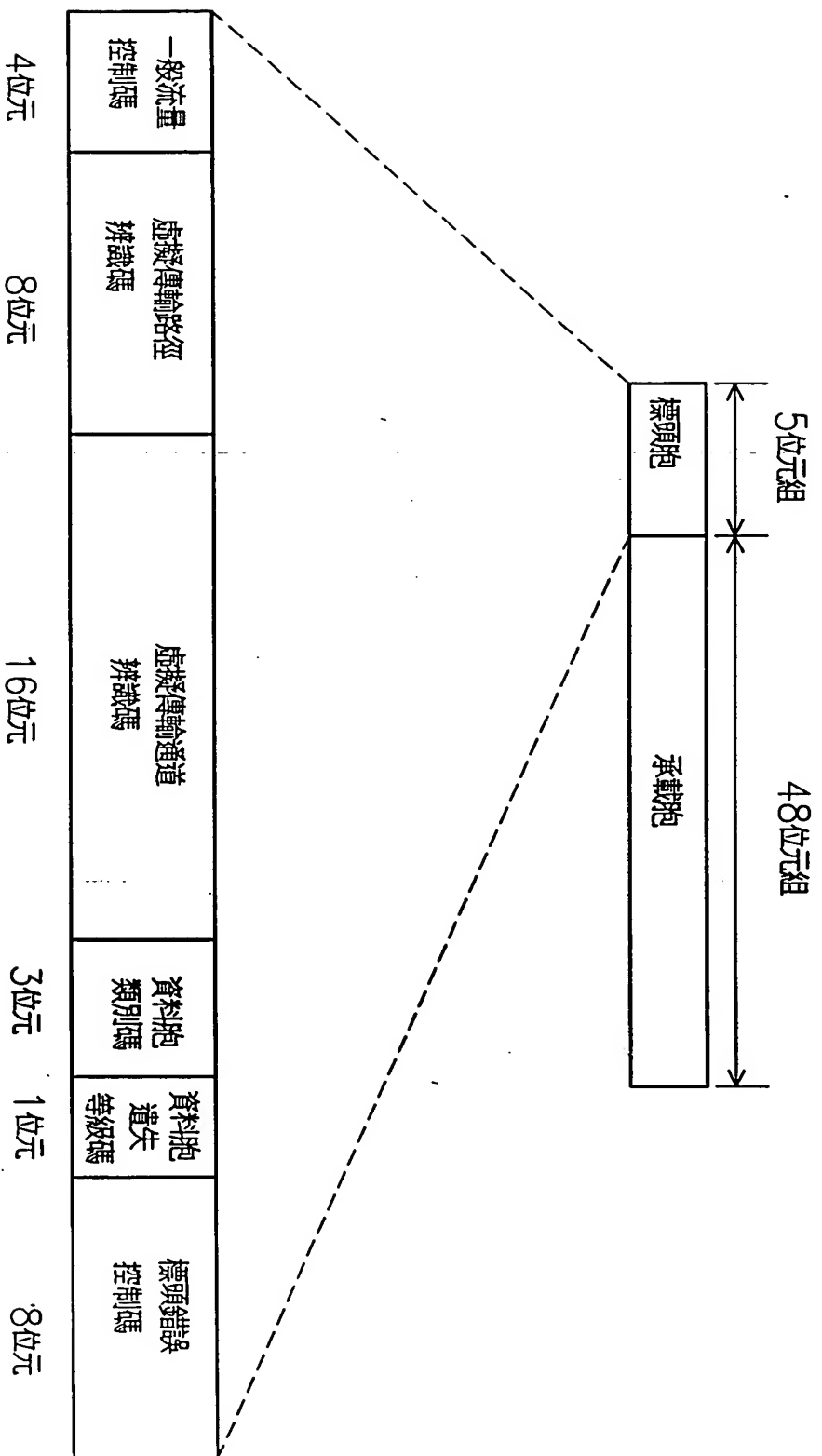
25.如申請專利範圍第 21 項之方法，其還包含一第二資料胞計數步驟，用以在該資料胞同步狀態機器要由該完全同步狀態回到該搜尋狀態前，因應該位元組指位器所送出之指標信號，先計數狀態改變後已收資料胞之數量，俾確定是否要回到該搜尋狀態。

26.如申請專利範圍第 21 項之方法，其中該指標信號輸出步驟包含一利用本身所輸出之指標信號，以及一由該同步狀態機器所輸出之次一狀態信號，使一對應於承載胞之第一位元組資料的指標信號，與一對應於標頭錯誤控制碼之指標信號相同的步驟。

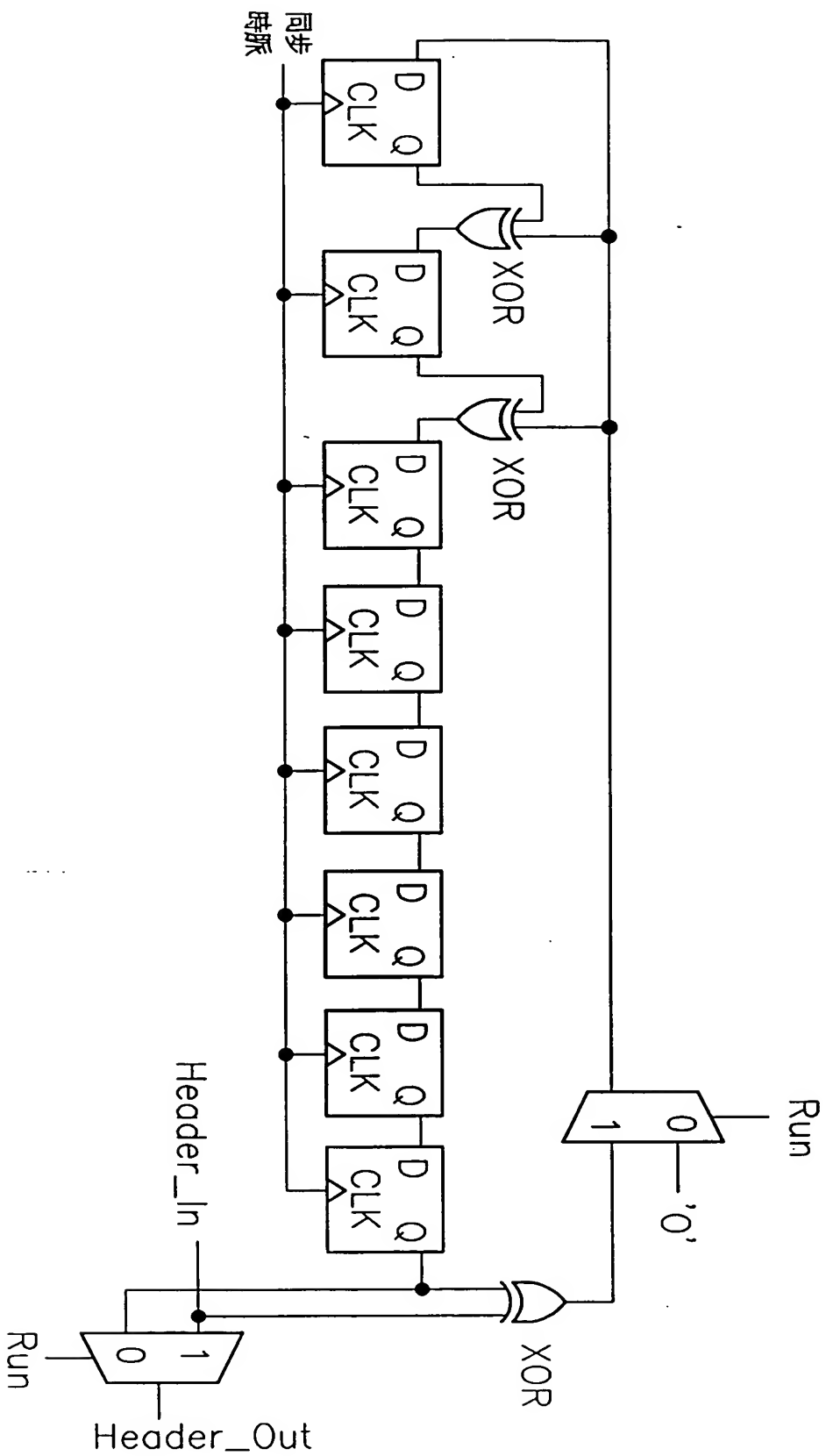
27.如申請專利範圍第 21 項之方法，其中還包含一緩衝器位址設定步驟，用以取用該指標信號之最高特定數量有效位元，作為緩衝器存入位址。

(請先閱讀背面之注意事項再填寫本頁)

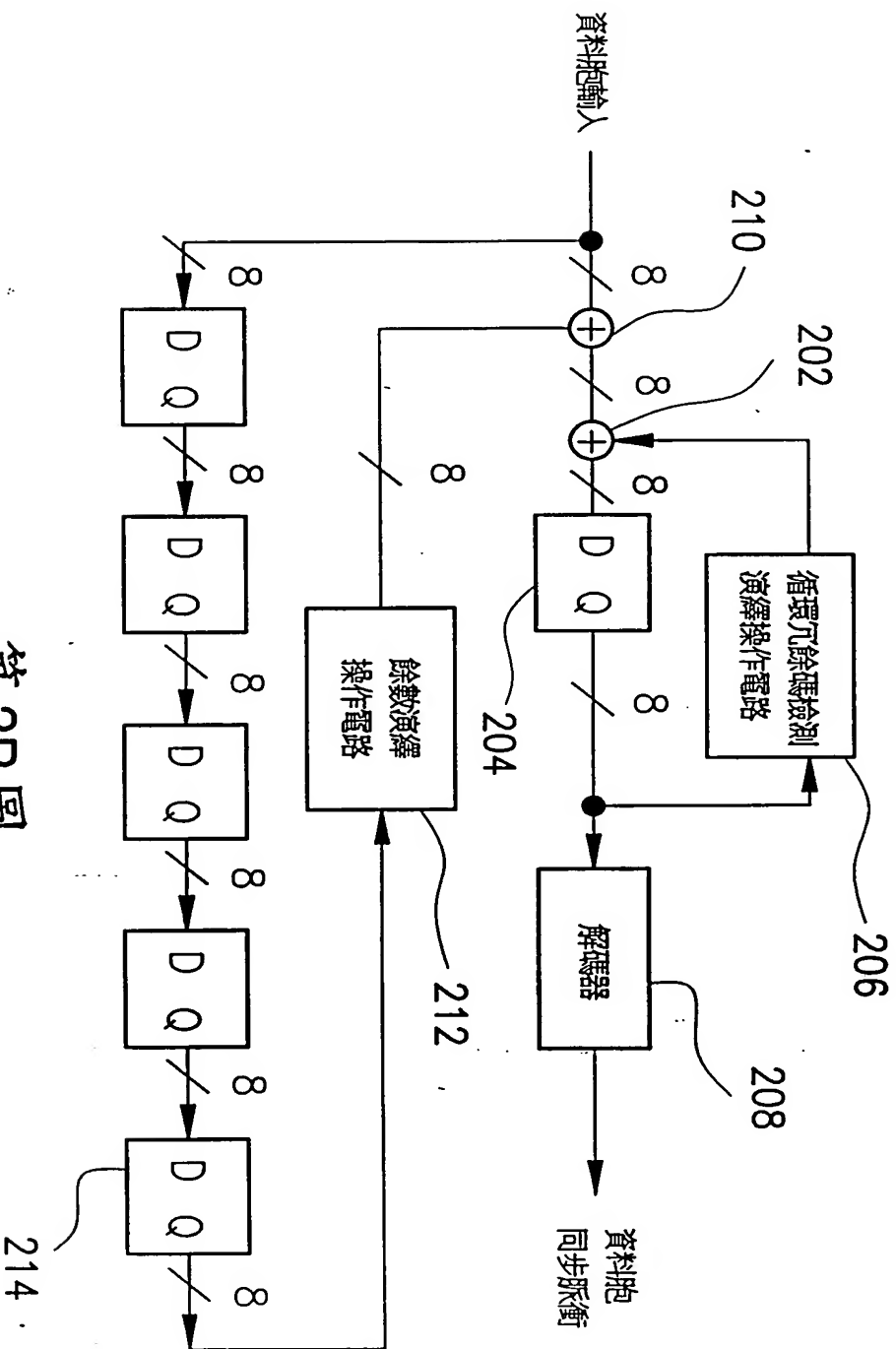
裝
訂
線



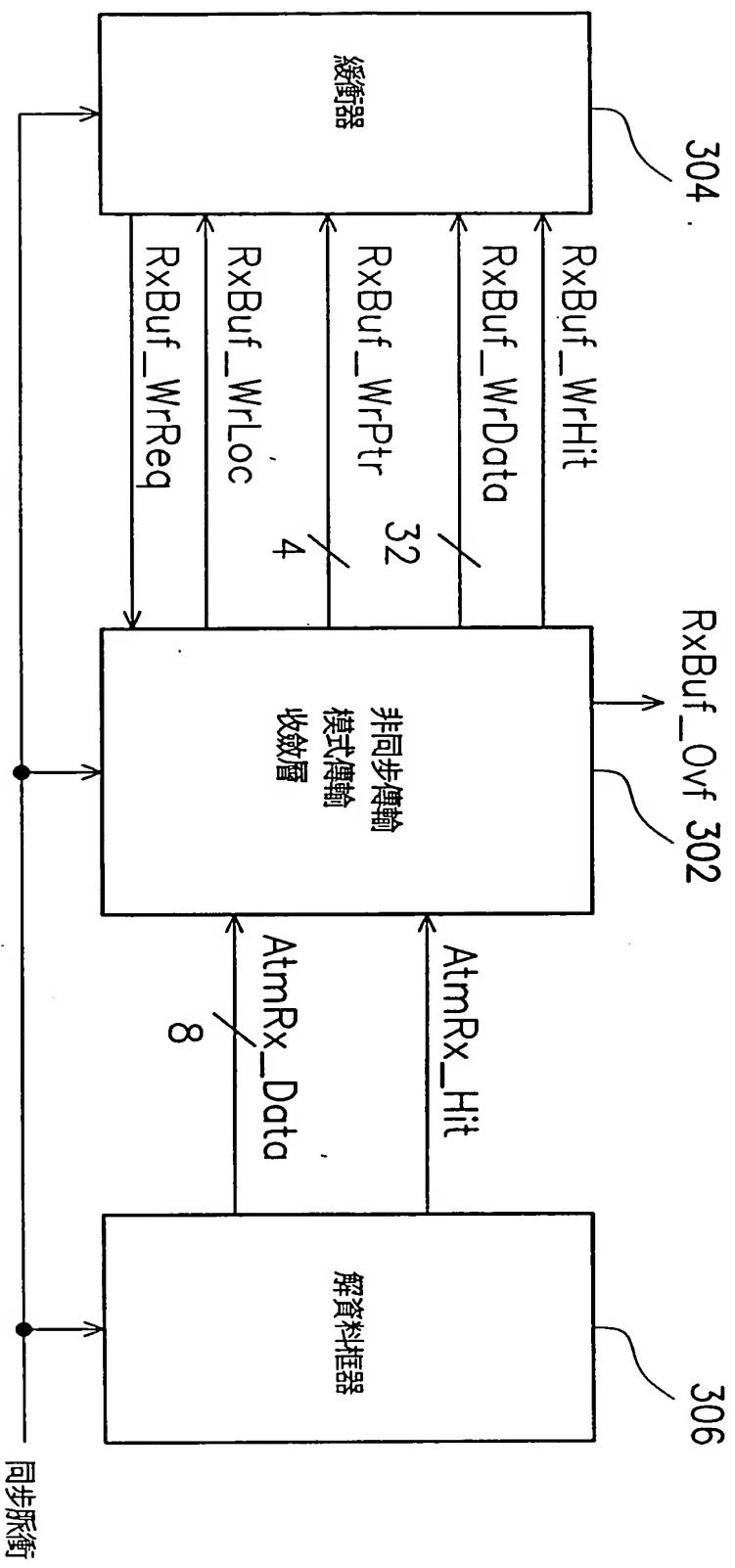
第 1 圖



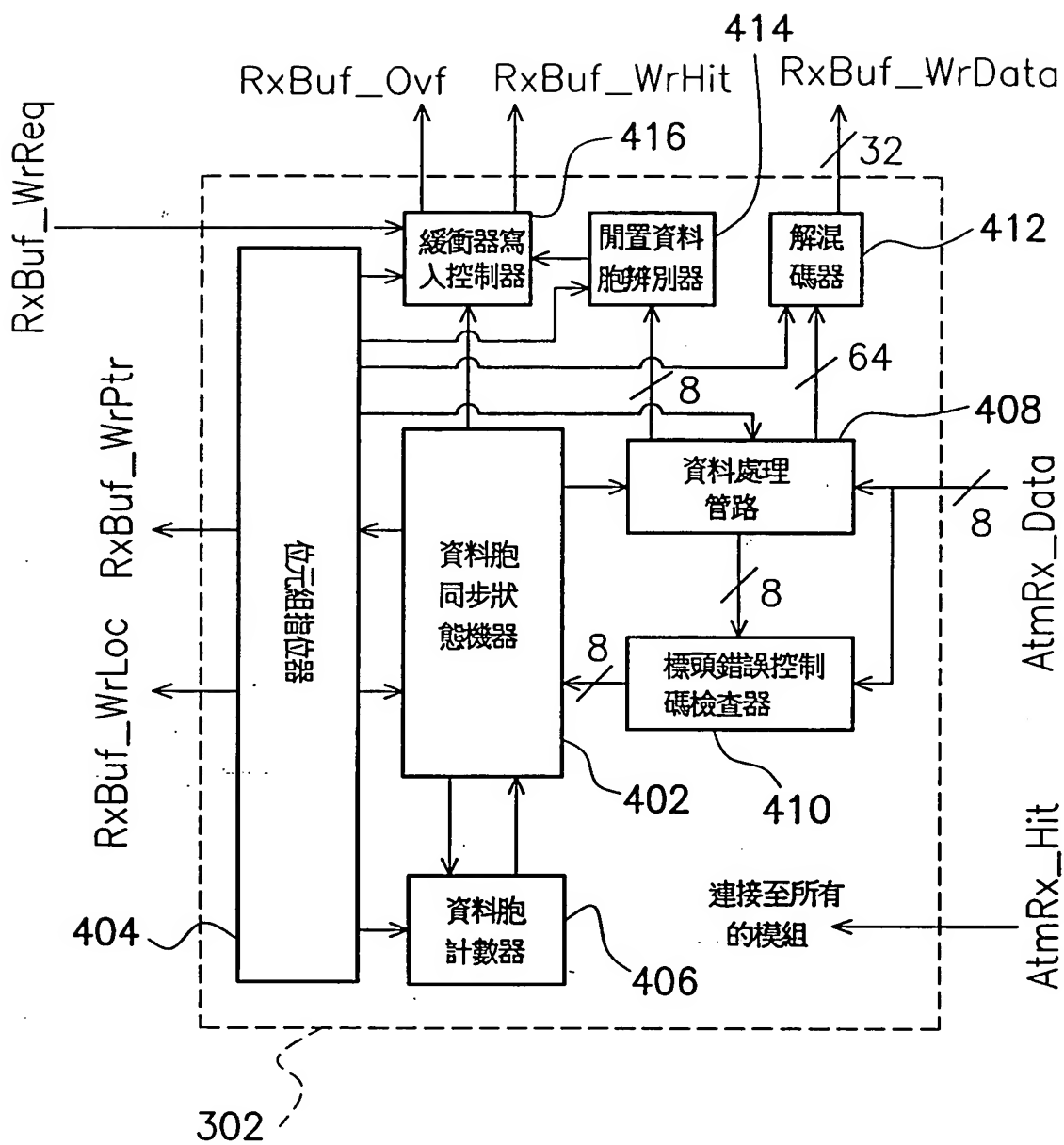
第2A圖



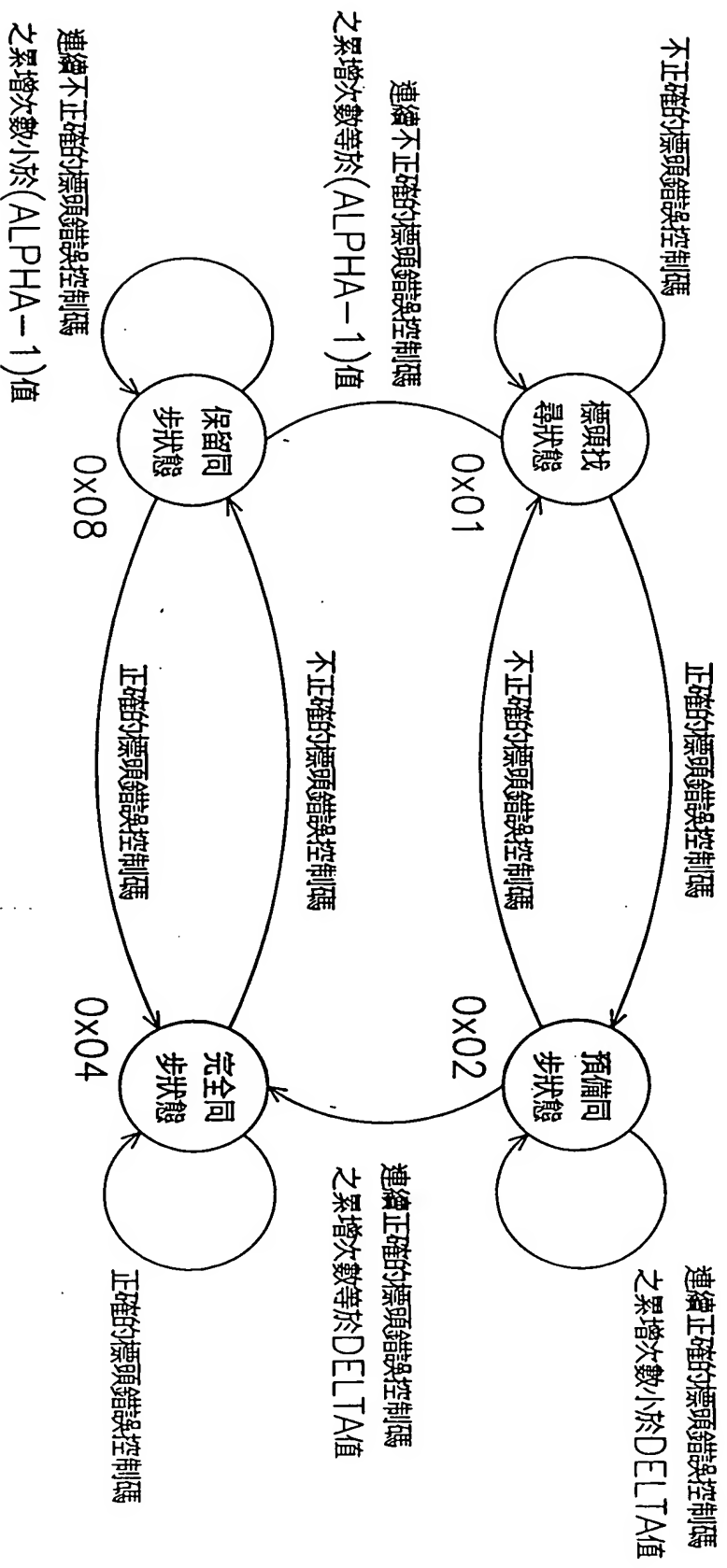
第2B圖



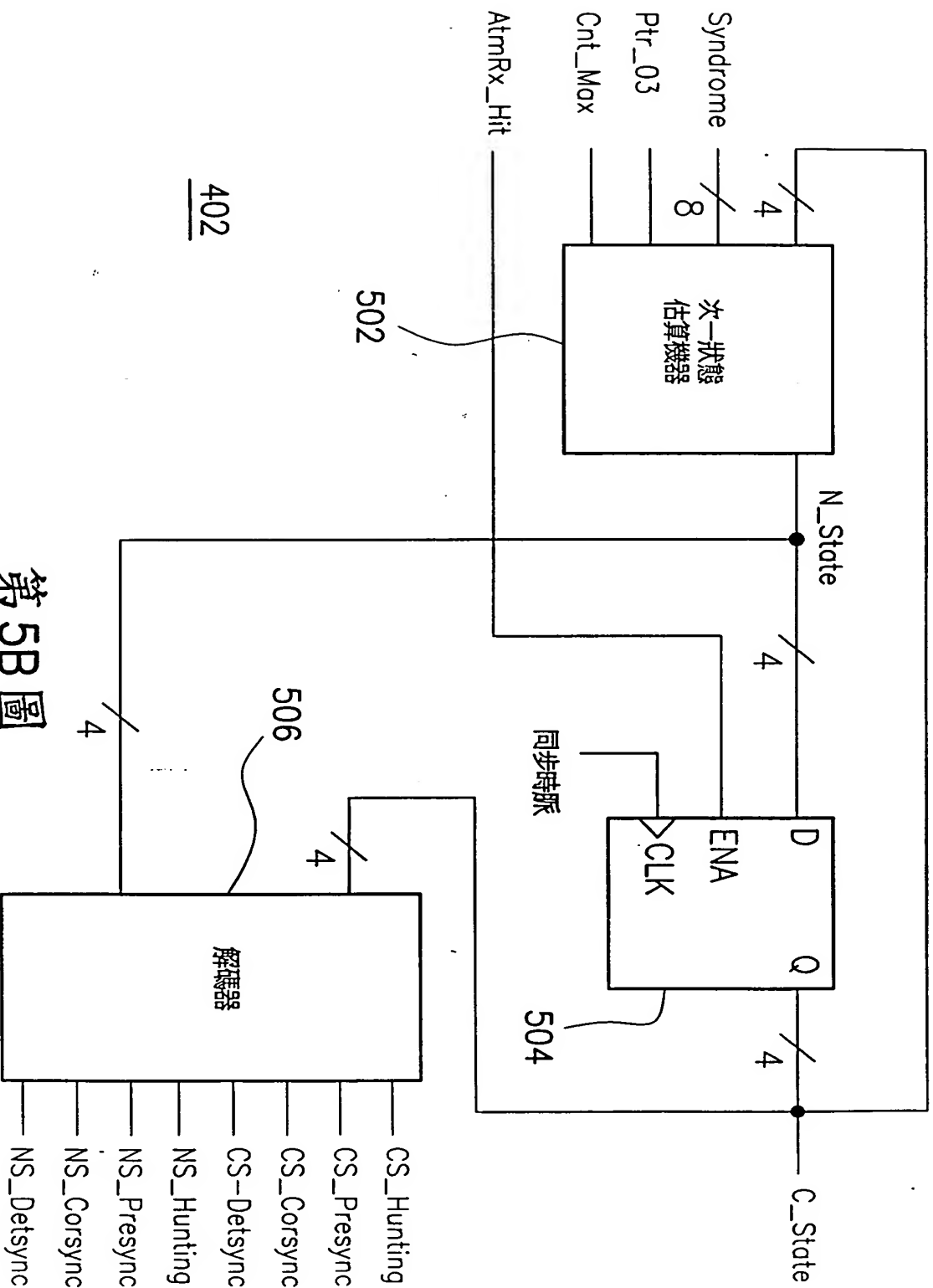
第 3 圖



第 4 圖



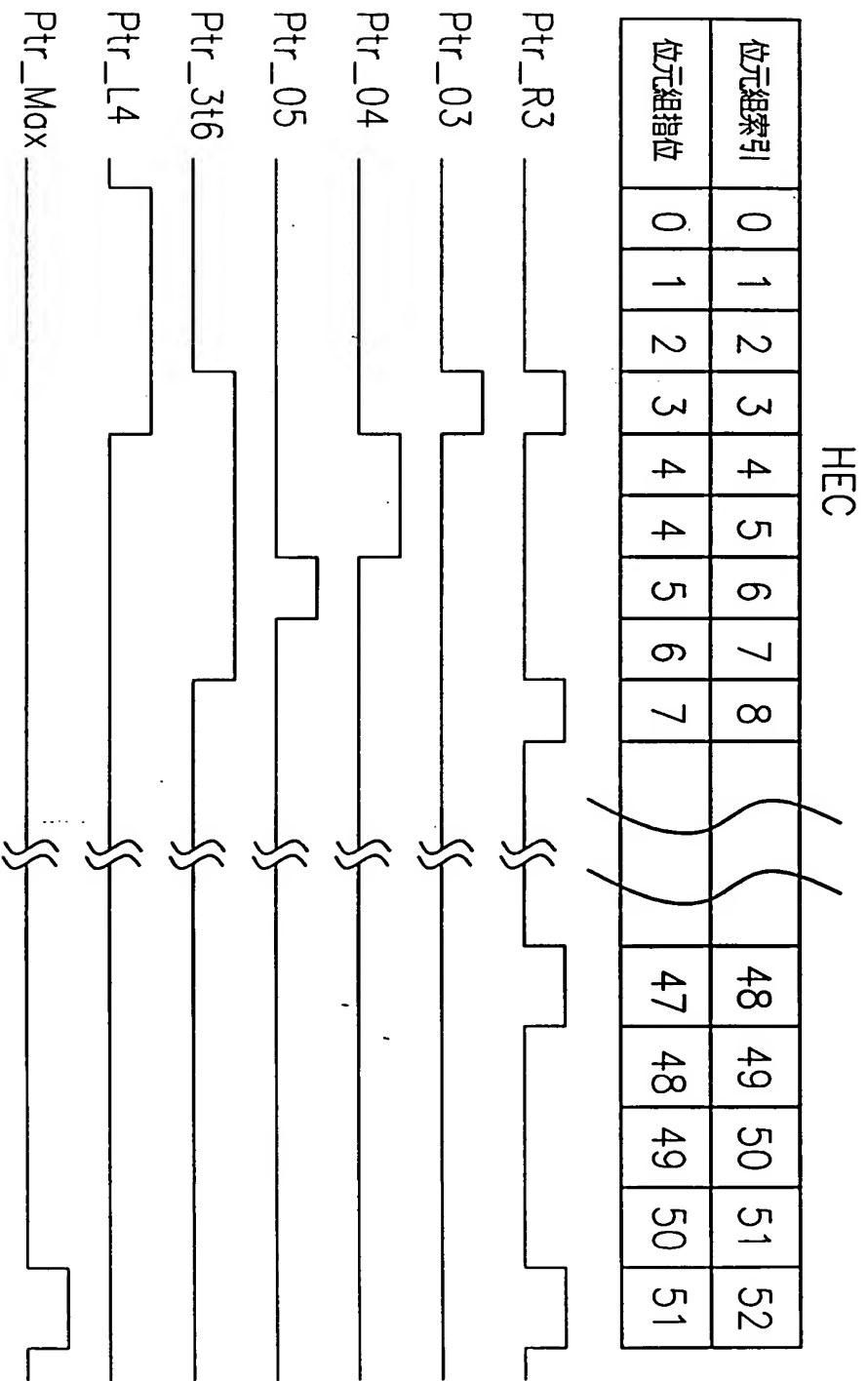
第 5A 圖



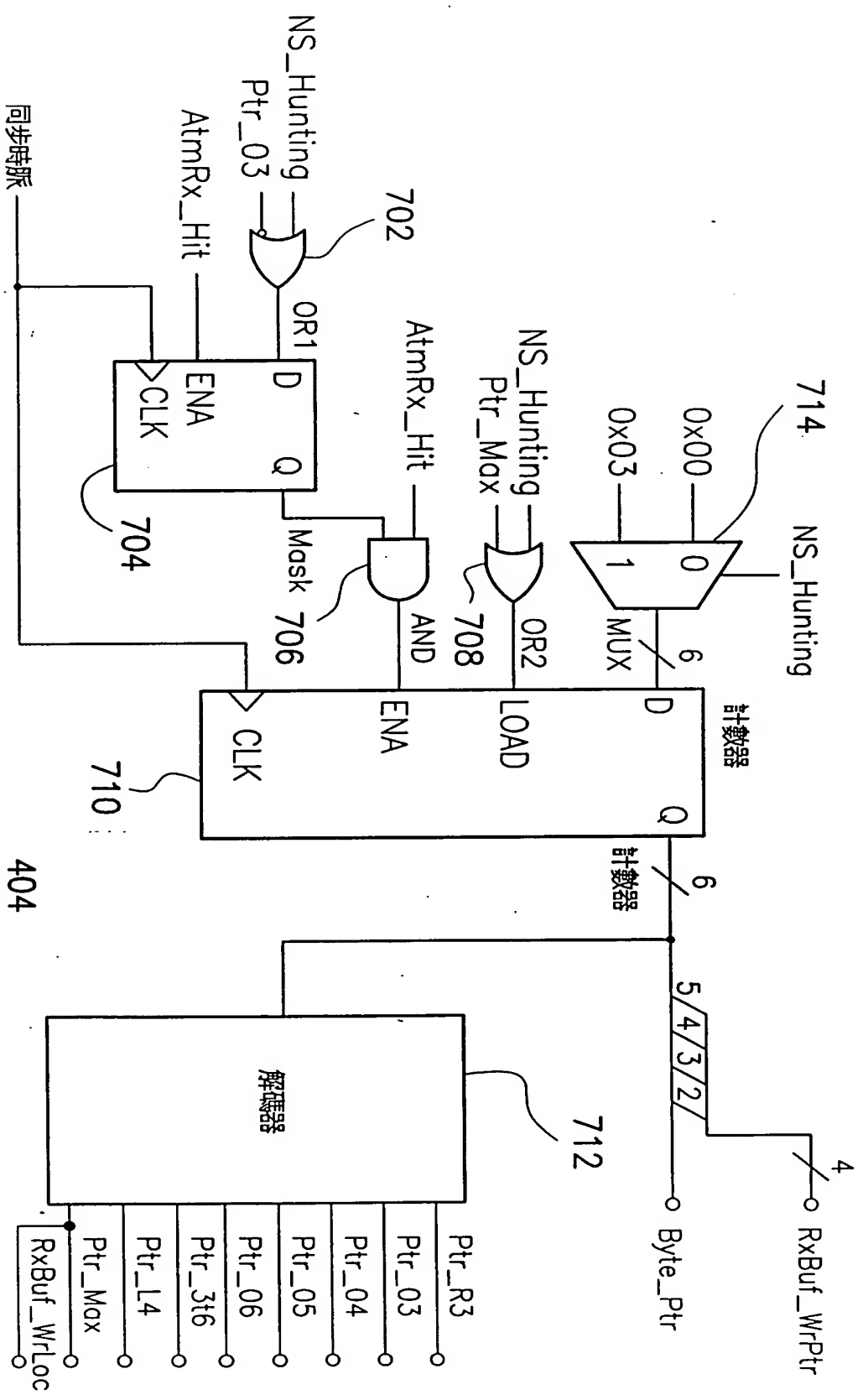
第5B圖



CS_Presync

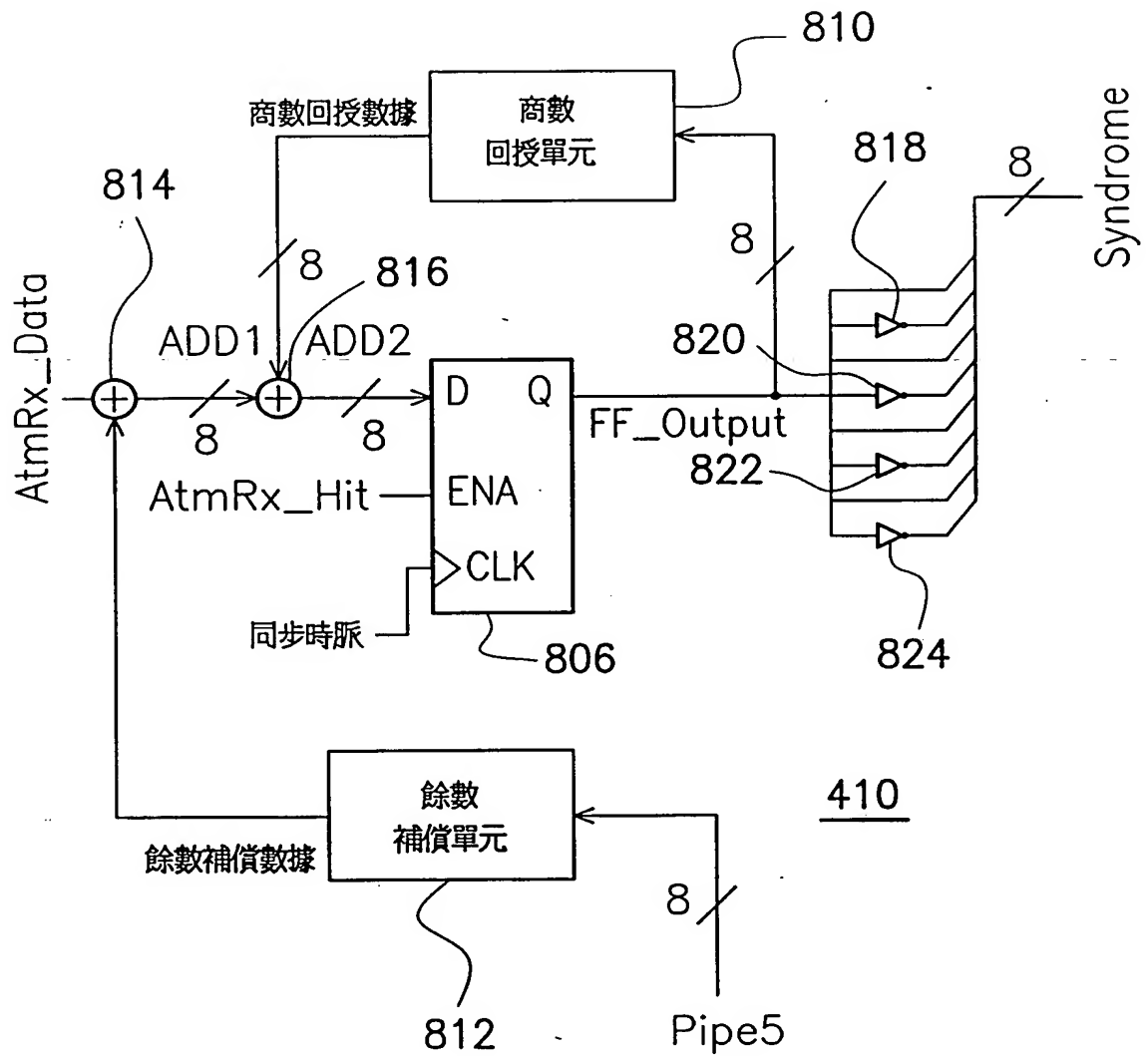


第7A圖

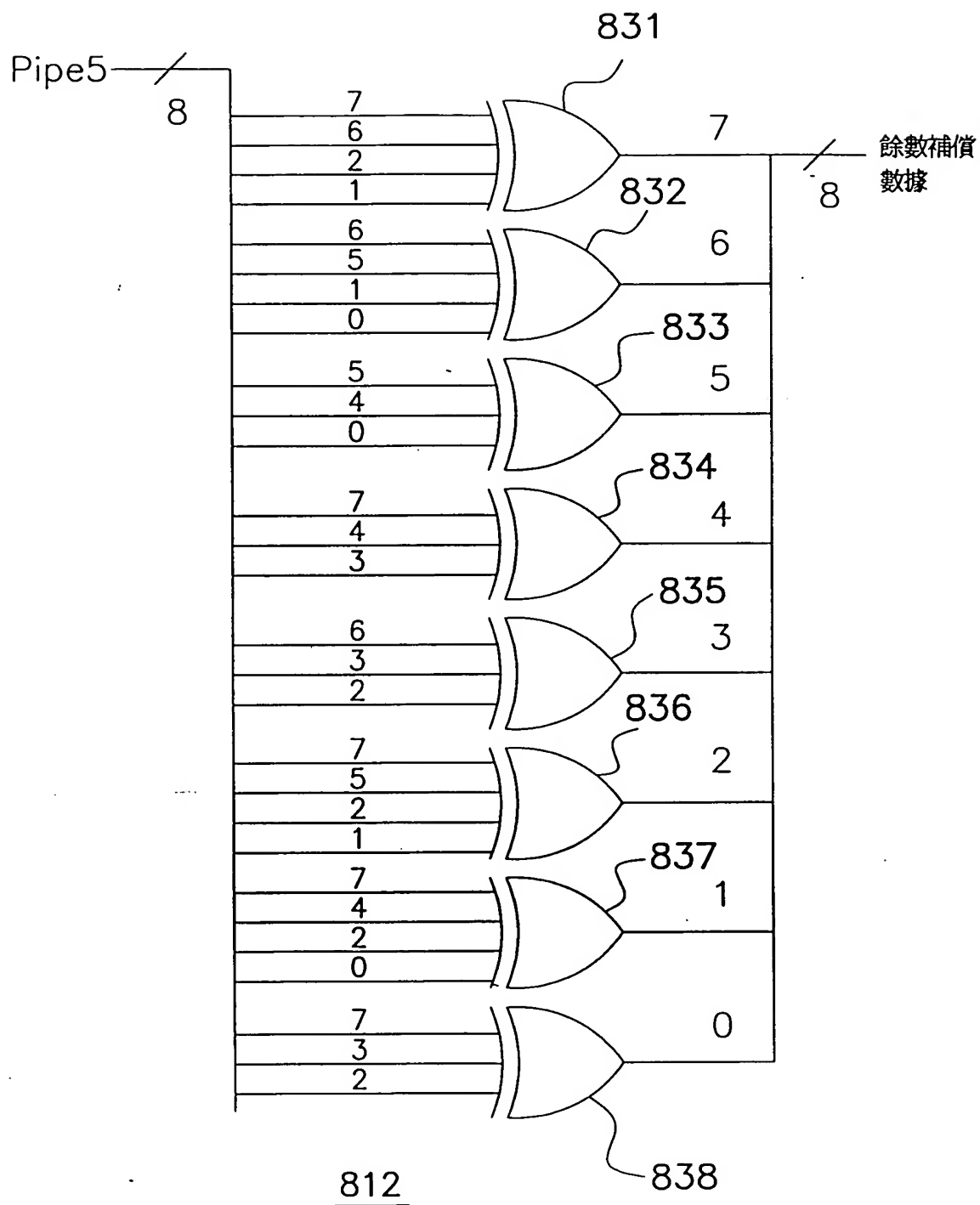


第7B圖

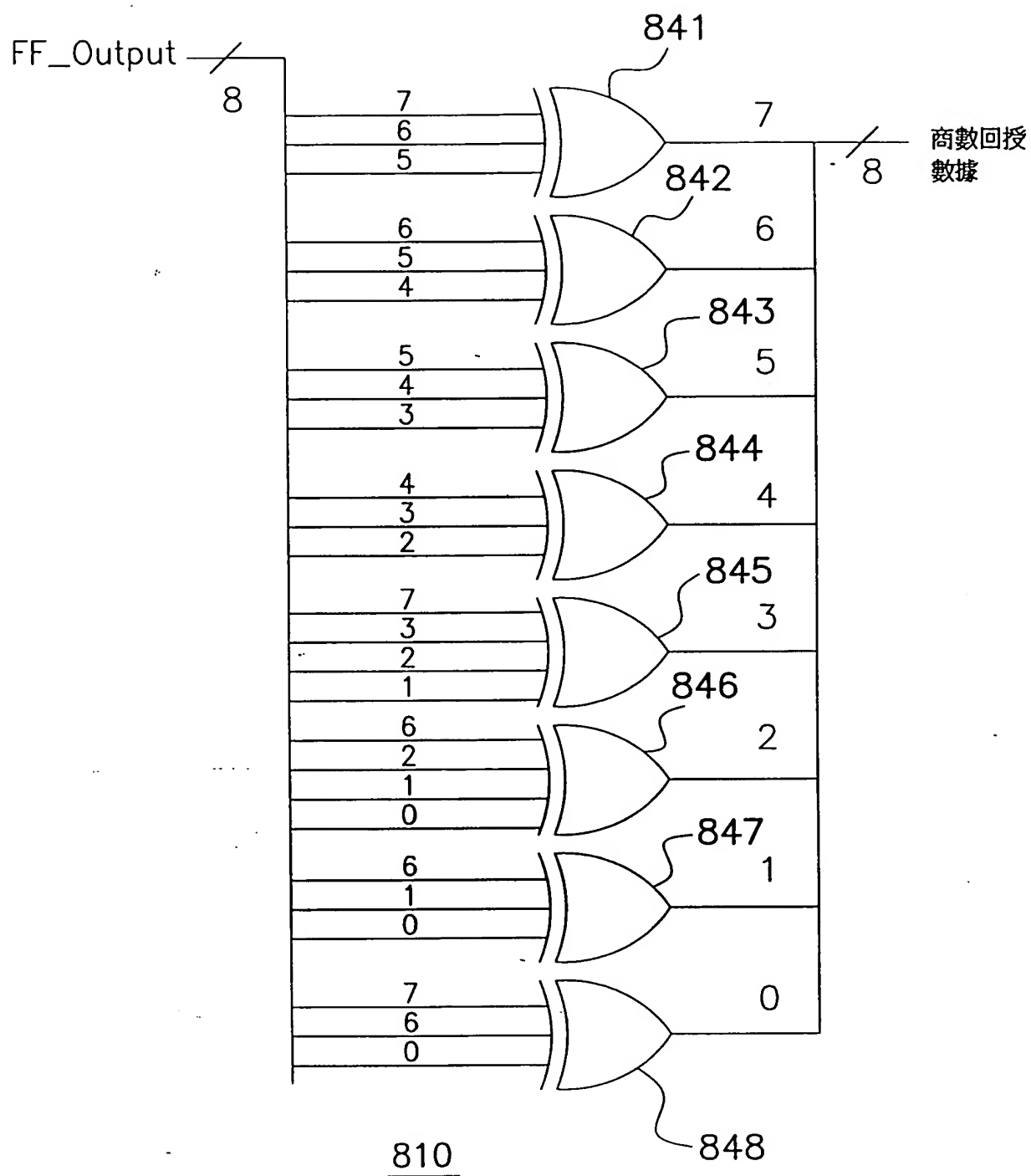
404



第 8A 圖



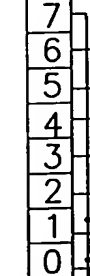
第 8B 圖



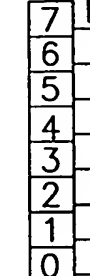
第 8C 圖

7123TW

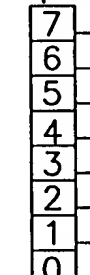
Pipe4



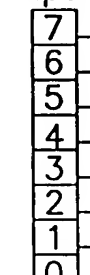
Pipe3



Pipe2



Pipe1



AtmRx_Data



856
857

858
859
860
861

862
863
864
865
866

867
868
869
870
871
872
873

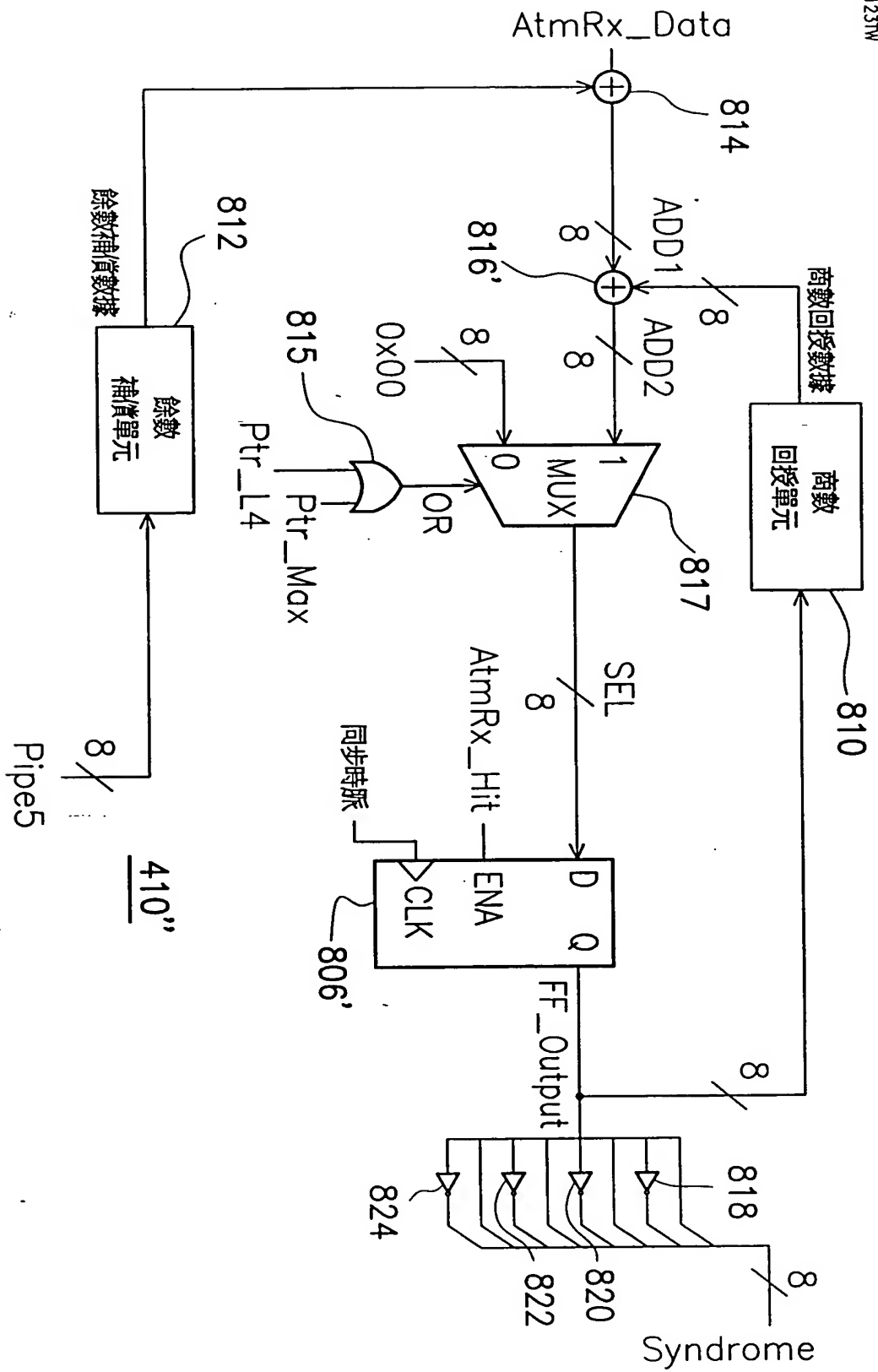
874
875
876
877
878
879

880
881
882
883
884
885
886
887
888
889
890
891
892
893
894

Syndrome

410'

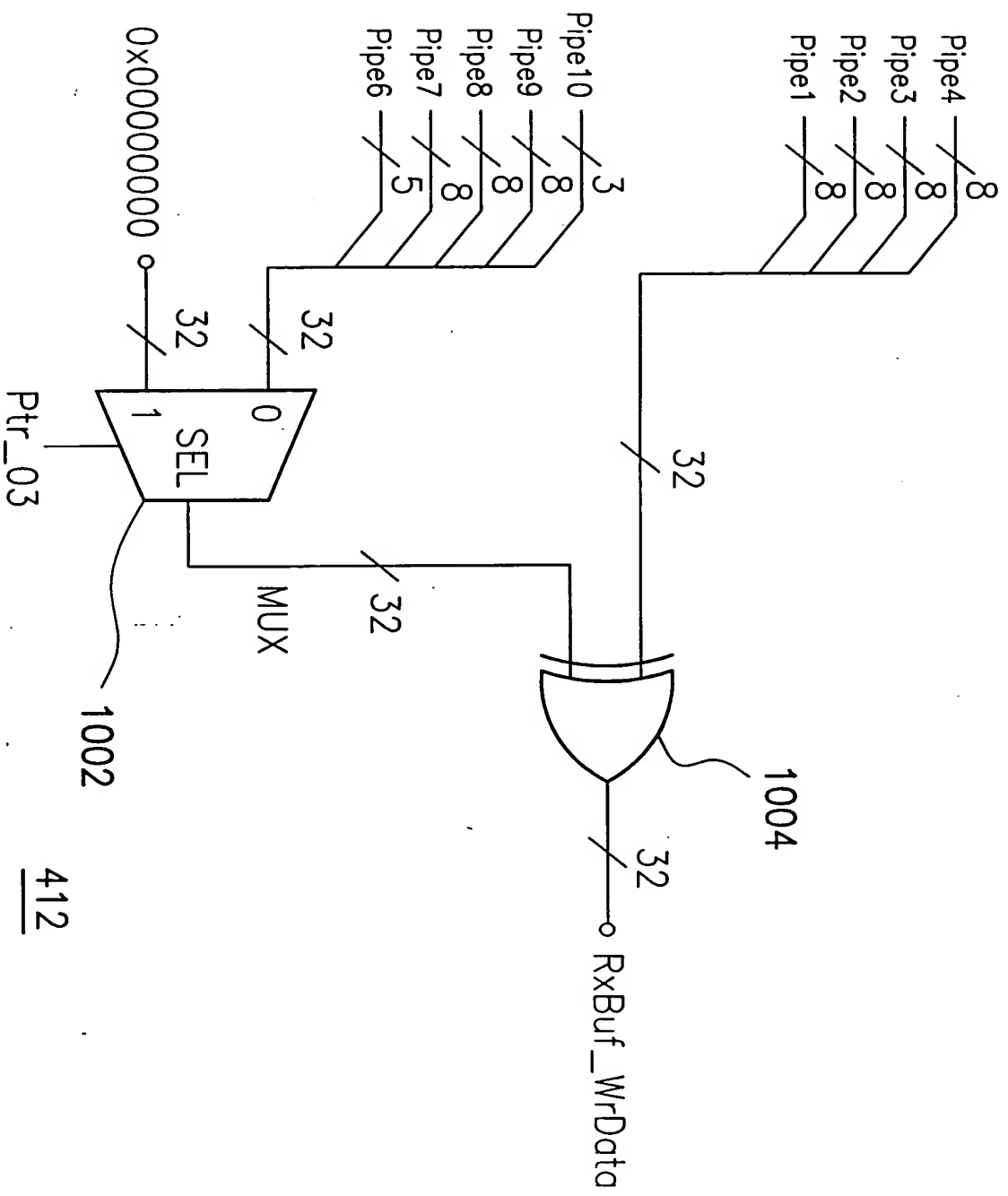
第8D圖



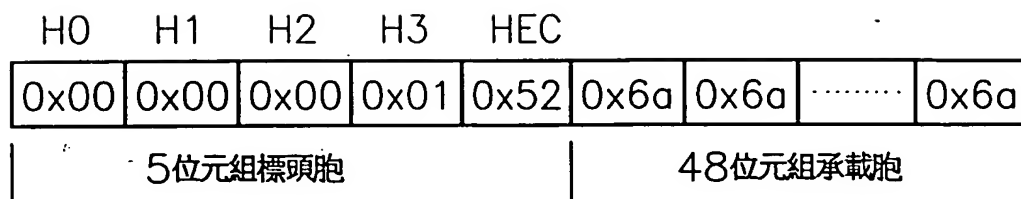
第8E圖



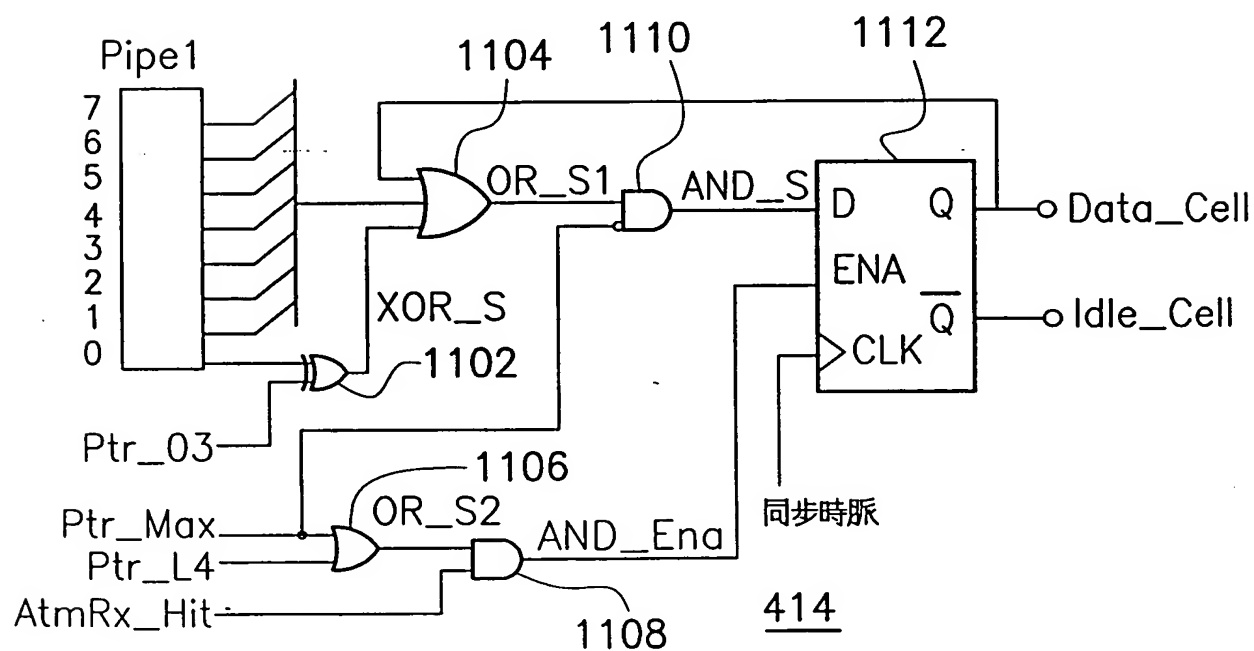
408



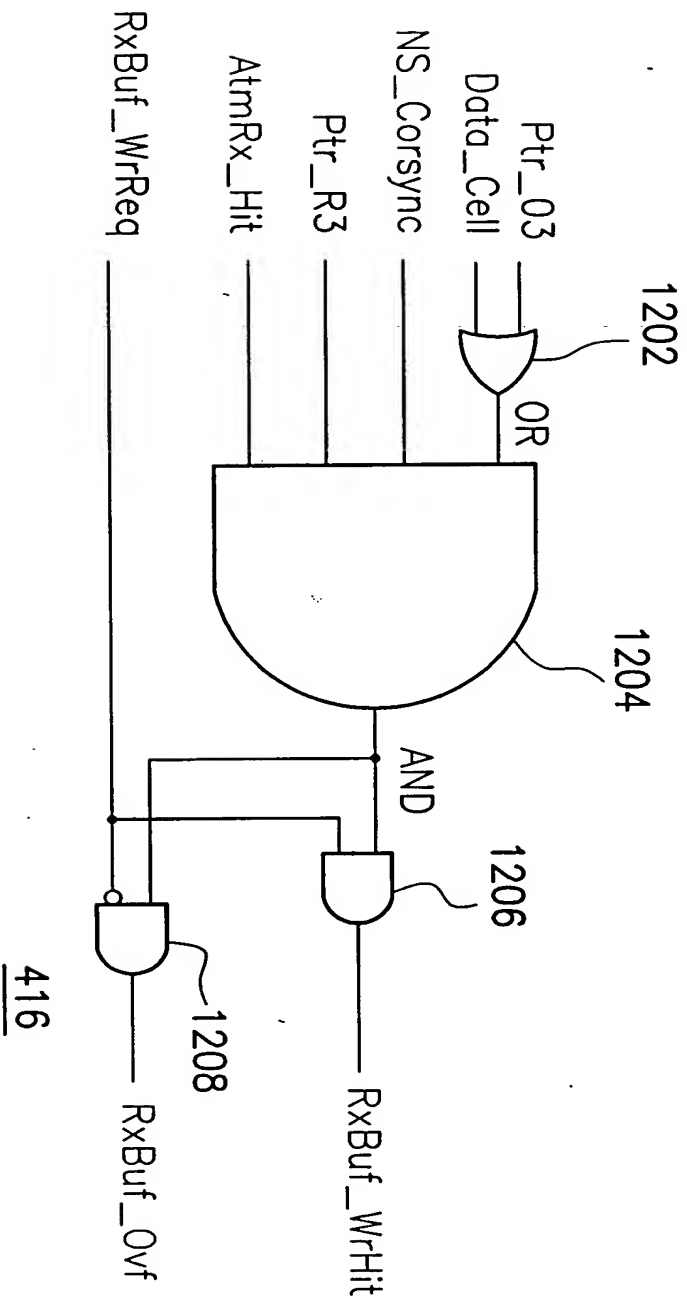
第10圖



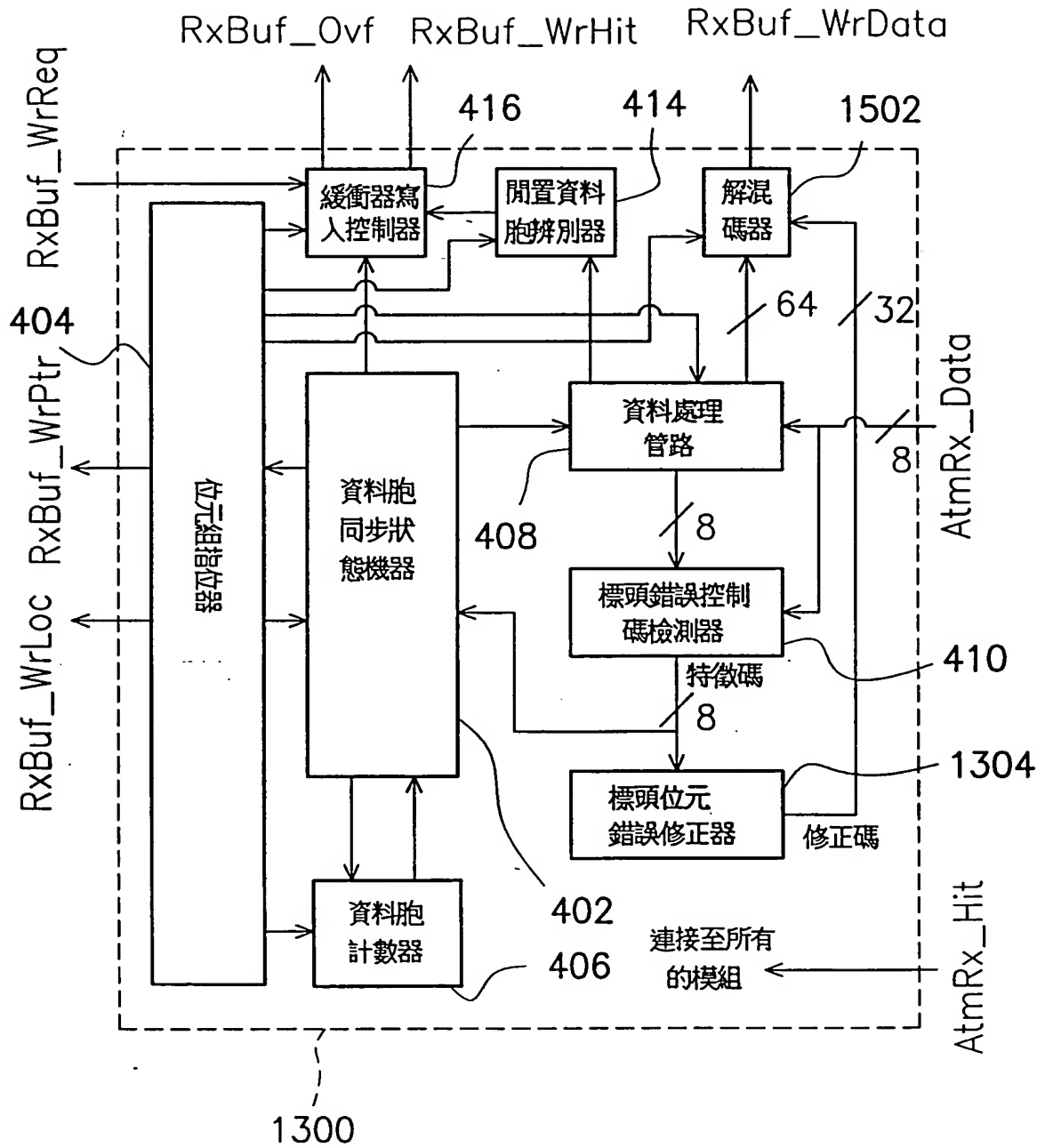
第11A圖



第11B圖



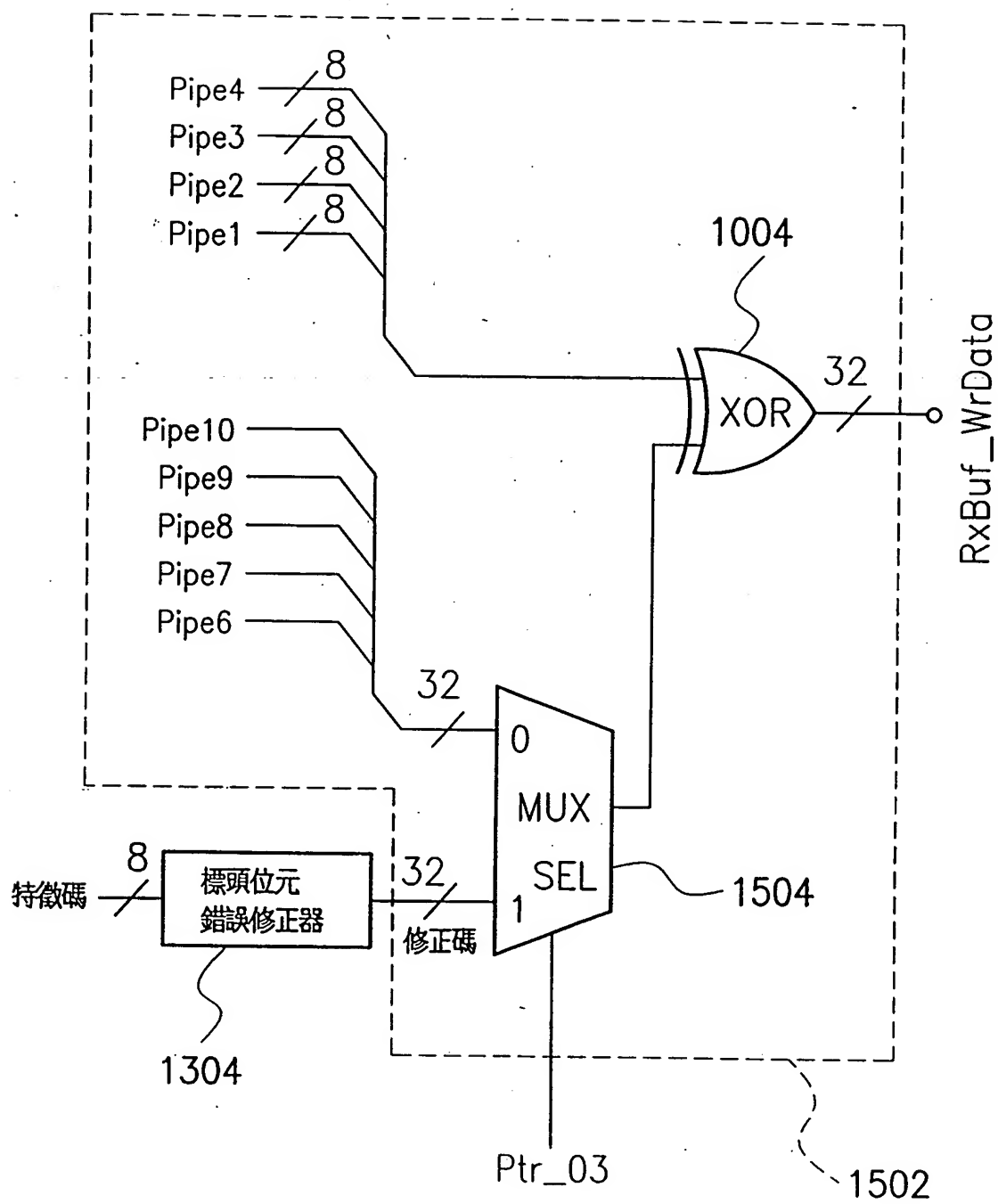
第12圖



第 13 圖

8位元的特徵碼	32位元的修正碼
0x07 0x0e 0x1c 0x38	0x00000001 0x00000002 0x00000004 0x00000008
0x70 0xe0 0xc7 0x89	0x00000010 0x00000020 0x00000040 0x00000080
0x15 0x2a 0x54 0xa8	0x00000100 0x00000200 0x00000400 0x00000800
0x57 0xae 0x5b 0xb6	0x00001000 0x00002000 0x00004000 0x00008000
0x6b 0xd6 0xab 0x51	0x00010000 0x00020000 0x00040000 0x00080000
0xa2 0x43 0x86 0x0b	0x00100000 0x00200000 0x00400000 0x00800000
0x16 0x2c 0x58 0xb0	0x01000000 0x02000000 0x04000000 0x08000000
0x67 0xce 0x9b 0x31	0x10000000 0x20000000 0x40000000 0x80000000
default	0x00000000

第 14 圖



第 15 圖